

Микропроцессор BE-T1000 (Байкал-Т1)

Краткая спецификация (Datasheet)

документ: BE-T1-DS-Rus#927

1 Введение

Микросхема интегральная BE-T1000 (первоначальное наименование – Байкал-Т1) – это первый микропроцессор в линейке многоядерных систем на кристалле (СНК) от компании «Байкал Электроникс».

BE-T1000 сочетает в себе высокую вычислительную производительность с низким энергопотреблением. Микропроцессор построен на базе двухъядерной системы семейства MIPS32® P5600™ с рабочей частотой 1.2 ГГц, снабжён широким набором высокоскоростных интерфейсов PCIe Gen3, 10 Gb Ethernet, 1 Gb Ethernet, USB 2.0, SATA 6G и низкоскоростной периферии I²C, SPI, UART, GPIO.

Микропроцессор оптимизирован для применения в промышленной автоматике, коммуникационном и сетевом оборудовании, а также встроенных системах различного назначения, может применяться для создания тонких и нулевых клиентов, в средствах регистрации и визуализации.

Микросхема BE-T1000 производится с использованием 28-нанометрового технологического процесса. Её энергопотребление не превышает 5 Вт.

1	ВВЕДЕНИЕ	1
1.1	ОСНОВНЫЕ ХАРАКТЕРИСТИКИ	2
1.2	БЛОК-СХЕМА МИКРОПРОЦЕССОРА	3
2	СОСТАВ МИКРОПРОЦЕССОРА	4
2.1	ДВУХЪЯДЕРНЫЙ МИКРОПРОЦЕССОРНЫЙ КЛАСТЕР	4
2.2	УПРАВЛЕНИЕ ПАМЯТЬЮ	5
2.3	МОДУЛЬ УПРАВЛЕНИЯ СИСТЕМОЙ	6
2.4	ВЫСОКОСКОРОСТНЫЕ ИНТЕРФЕЙСЫ	6
2.5	НИЗКОСКОРОСТНЫЕ ИНТЕРФЕЙСЫ	8
2.6	МОНИТОРИНГ СИСТЕМЫ	10
3	ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ	11
3.1	ПАРАМЕТРЫ ЭЛЕКТРОПИТАНИЯ	11
3.2	ВХОДНЫЕ ТАКТОВЫЕ СИГНАЛЫ	12
4	ПРОЦЕДУРЫ ЗАПУСКА И СБРОСА МИКРОПРОЦЕССОРА	16
4.1	ПРОЦЕДУРА ЗАПУСКА МИКРОПРОЦЕССОРА	16
4.2	ПРОЦЕДУРА СБРОСА МИКРОПРОЦЕССОРА	16
4.3	ВЫБОР РЕЖИМА ЗАГРУЗКИ	17
5	ВЫВОДЫ МИКРОПРОЦЕССОРА	18
5.1	СПИСОК ВЫВОДОВ	18
5.2	КАРТА КОНТАКТОВ КОРПУСА	38
6	КОРПУС	44
6.1	ИНФОРМАЦИЯ О КОРПУСЕ МИКРОСХЕМЫ	44
6.2	УПАКОВКА	47
6.3	ПРОФИЛЬ ПАЙКИ	48
7	ИНФОРМАЦИЯ ДЛЯ ЗАКАЗА	49
	КОНТАКТНАЯ ИНФОРМАЦИЯ	50
	ИСТОРИЯ ИЗМЕНЕНИЙ	51

1.1 Основные характеристики

Таблица 1-1 Основные характеристики микропроцессора BE-T1000

Наименование	Характеристики
Процессорная система на основе двухъядерного кластера	Архитектура MIPS32
	Два ядра P-Class P5600 r5, работающих на частоте 1.2 ГГц
	Кэш уровня L1 размером 128 КБ (64 КБ – кэш данных и 64 КБ – кэш инструкций) в каждом ядре
	Кэш уровня L2 размером 1 МБ, которым управляет контроллер Coherence Manager
	Вычислительный модуль с плавающей точкой MIPS Gen3 с поддержкой SIMD параллельности
	Глобальный контроллер прерываний (GIC), обеспечивающий одновременную поддержку до 128 обработчиков прерываний
	Встроенный модуль отладки (JTAG debug 5.0 port), включающий блок трассировки (MIPS PDtrace™)
Основной интерконнект	Поддержка AMBA 3 AXI протокола
	5 AXI каналов
	40-разрядный адрес
Интерфейсы памяти	32-битный интерфейс модуля памяти DDR3-1600 с 8-битным кодом исправления ошибок
	40-разрядный адрес для приложений
	Поддержка внешних модулей памяти SDRAM размером до 8 ГБ
Высокоскоростные интерфейсы	Интерфейс PCIe x4 Gen3 (4 тракта с пропускной способностью 8 Гб/с каждый)
	Контроллер USB 2.0 (ULPI)
	Два интерфейса SATA 6G
	Интерфейс 10 Gb Ethernet (10GBASE KX4, 10GBASE KR)
	2 контроллера 1 Gb Ethernet (RGMII)
Низкоскоростные интерфейсы	Программируемый сторожевой таймер (WDT)
	3 программируемых таймера на 50 МГц
	Интерфейсы GPIO: 32 бит и 3 бит
	2 интерфейса UART
	2 интерфейса SPI
Мониторинг системы	3 контроллера I ² C
	PVT контроллер
Корпус	Сторожевой таймер
Потребляемая мощность	Корпус HFCBGA-576. Размеры: 25x25 мм (576 выводов)
Рабочая температура	До 5 Вт
Технология	Диапазон рабочих температур: от 0 до +70°C*
	КМОП 28 нм

* На основании расчётных данных предполагается работоспособность в расширенном диапазоне температур: от -45 до +70°C, но испытания проводились только в диапазоне: от 0 до +70°C

1.2 Блок-схема микропроцессора

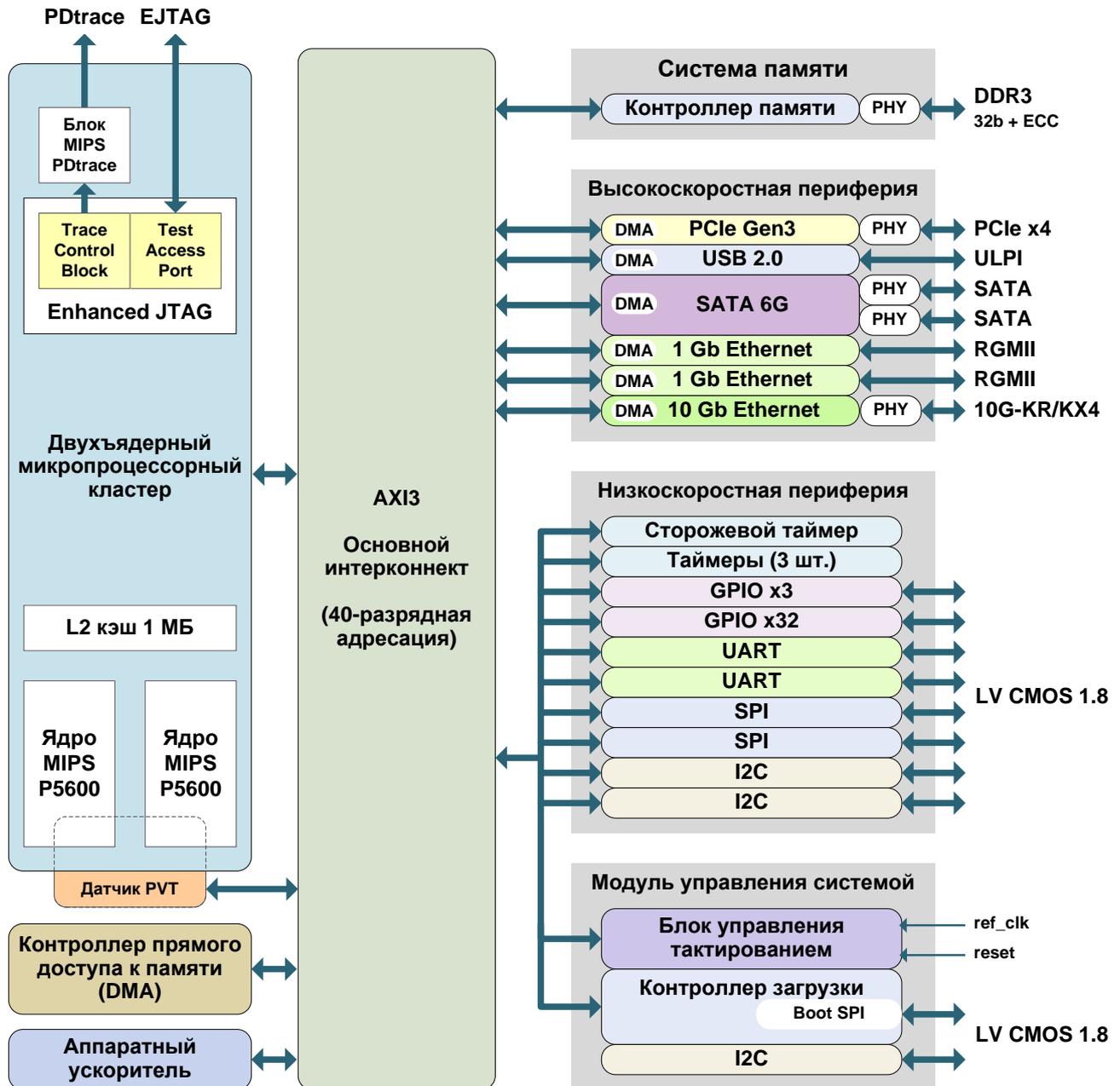


Рисунок 1-1 Блок-схема BE-T1000

2 Состав микропроцессора

В соответствии со структурной схемой микропроцессора, BE-T1000 включает в себя следующие логические блоки:

- Двухъядерный микропроцессорный кластер;
- Высокоскоростная внутрипроцессорная шина;
- Контроллер памяти;
- Высокоскоростные интерфейсы ввода-вывода;
- Низкоскоростные интерфейсы для подключения периферийных устройств;
- Подсистема отладки

Логические блоки системы на кристалле взаимодействуют между собой с помощью высокоскоростной внутрипроцессорной шины. Она организована по принципу матричного переключателя и обеспечивает соединение входов с выходами по схеме «многие со многими». В глобальном адресном пространстве микропроцессора BE-T1000 логические блоки идентифицируются своими адресами.

2.1 Двухъядерный микропроцессорный кластер

BE-T1000 базируется на многопроцессорной системе MIPS32® P5600 Series Multiprocessing System. Особенности процессора являются:

- Два когерентных микропроцессорных ядра серии P5600 с архитектурой MIPS32®;
- Рабочая частота ядра – 1.2 ГГц;
- 40-разрядный адрес (*eXtended Physical Addressing (XPA)*);
- Кэш уровня L1 размером 128 КБ (64 КБ кэш данных и 64 КБ кэш инструкций);
- Контроллер управления когерентностью со встроенным восьмиканальным ассоциативным кэшем L2 размером 1 МБ;
- Вычислительный модуль с плавающей точкой MIPS, поколение 3, с поддержкой SIMD параллельности;
- Глобальный контроллер прерываний, обеспечивающий одновременную поддержку до 128 обработчиков прерываний;
- Расширенный модуль отладки (EJTAG debug 5.0 port), включающий блок трассировки (MIPS PDTrace™) и обеспечивающий следующие возможности:
 - «Внешняя» отладка – традиционная интерактивная отладка через интерфейс JTAG;
 - Протоколирование аппаратных и программных событий в виде записи трассы либо в специализированную область памяти, либо во внешнюю память через интерфейс PDTrace

Производительность кластера на ватт потребляемой мощности на целочисленных операциях выше, чем у большинства идентичных процессоров.

2.1.1 Основной интерконнект

Системные межсоединения обеспечивают связь между модулями микропроцессора для создания высокопроизводительной сетевой инфраструктуры. Межсоединения организованы в виде матрицы переключателей, соединяющих множество входов и выходов.

Межсоединения соответствуют AMBA 3 AXI протоколу, содержат 5 AXI каналов и поддерживают 40-разрядную адресацию.

2.2 Управление памятью

2.2.1 Подсистемы памяти DDR3

Контроллер памяти DDR3, интегрированный с адаптером физического интерфейса PHY, позволяет работать со следующим устройством памяти:

- 32-разрядная DDR3 память с быстродействием до 1600 млн. передач/с (DDR3-1600)

Подсистема имеет следующие характеристики:

- 40-разрядный адрес для приложений (ХРА) обеспечивает адресацию до 1 Тб памяти;
- Разрядность данных SDRAM – 32 бита;
- Применение кода с коррекцией ошибок (ECC):
 - Коррекция одиночных ошибок (SEC) и обнаружение двойных ошибок (DED);
 - 32 разряда данных и 7 корректирующих разрядов в режиме полной ширины шины (16 разрядов данных и 6 корректирующих разрядов в режиме половинной ширины шины);
- Поддержка внешних модулей памяти SDRAM размером до 8 Гб;
- Поддержка до двух рангов памяти;
- Режим отношения частот 1:2;
- Программируемая поддержка 1T/2T тайминга команд памяти;
- Поддержка автоматического режима DDR3 низкой мощности при помощи аппаратного интерфейса низкой мощности;
- Архитектура малой площади и низкой мощности

2.2.2 Контроллер прямого доступа к памяти для низкоскоростной периферии

Контроллер прямого доступа к памяти для низкоскоростной периферии (DMA LSP) реализует возможность прямой передачи данных без использования ЦПУ между памятью и низкоскоростным устройством.

Контроллер помогает достигнуть максимальной производительности системы путём уменьшения загруженности процессорных ядер.

DMA LSP может работать только в небезопасном режиме и имеет следующие основные характеристики:

- Интерфейс установления связи с двумя контроллерами UART, двумя контроллерами SPI и двумя контроллерами I²C;
- 8 каналов, объединённых в пары для источника и получателя;
- Однонаправленные каналы – данные передаются только в одном направлении;
- Многоблочные пересылки;
- Один FIFO буфер для каждой пары источник-получатель;
- Автоматическая упаковка и распаковка данных для соответствия разрядности FIFO

2.2.3 Аппаратный ускоритель

Аппаратный ускоритель (HWA) предназначен для повышения производительности вычислений. Ускоритель состоит из аппаратных модулей, выполняющих специальные алгоритмы обработки данных.

2.3 Модуль управления системой

Этот модуль предназначен для управления запуском и начальной конфигурацией всех модулей микропроцессора.

Он содержит следующие основные блоки:

- Блок управления тактированием (CCU);
- Контроллер загрузки;
- Контроллер I²C

Блок управления тактированием управляет системным тактированием и сигналами сброса. Он обеспечивает корректные тактовые сигналы для всех интегрированных функциональных блоков и отключение этих блоков с целью снижения потребляемой мощности.

Контроллер загрузки обеспечивает начальную загрузку системы. Возможны два режима загрузки:

- Режим ROM – из встроенного ПЗУ загружается технологическое программное обеспечение Baikal ROM Monitor для тестирования и диагностики микропроцессора;
- Режим FLASH – код начального загрузчика операционной системы загружается из внешней флэш-памяти через интерфейс SPI0

Загрузочный SPI контроллер загружает исполняемый код из флэш-памяти через интерфейс SPI после сброса микропроцессора. Подключение к контроллеру каких-либо других SPI устройств не рекомендуется, поскольку может вызвать проблемы загрузки микропроцессора.

I²C имеет ограниченную функциональность. В частности, регистры этого контроллера доступны только через регистры CCU. Предпочтительно использовать два I²C контроллера общего назначения.

2.4 Высокоскоростные интерфейсы

2.4.1 Подсистема PCIe Gen 3.0

В микропроцессор встроен головной коммутатор (Root Complex controller) шины PCI Express, поддерживающий функциональность в соответствии с *PCI Express Base Specification 3.0*.

Подсистема обладает следующими характеристиками:

- До 4-х трактов Gen1, Gen2, Gen3 (x1, x2, x4);
- Скорость передачи до 8.0 ГТ/с (~1.0 ГБ/с)
- Управление энергопотреблением PCI Express Active State Power Management (ASPM)
- Протоколирование ошибок PCI Express *Advanced Error Reporting* (AER) со множественными заголовками (Multiple Header Logging)
- Внутренний блок трансляции адреса
- Встроенный многоканальный DMA контроллер
- Автоматическое реверсирование канала и полярности
- Генерация и проверка контрольных сумм *EndPoint Cyclic Redundancy Check* (ECRC)
- До 256 байт полезных данных;
- Один виртуальный канал;
- Разрядность адреса – 40 бит (XPA)

Прерывания, унаследованные от PCI не поддерживаются.

2.4.2 Модуль USB 2.0

Контроллер USB 2.0 соответствует спецификации xHCI корпорации Intel.

Контроллер оптимизирован для систем и приложений с высокой пропускной способностью и поддерживает следующие типы устройств:

- High-Speed (480 Mbps);
- Full-Speed (12 Mbps);
- Low-Speed (1.5 Mbps)

Основные характеристики контроллера:

- Порт USB 2.0 с 8-битным интерфейсом UTMI + low pin интерфейс ULPI для внешних PHY;
- Встроенный DMA контроллер;
- Управление питанием по;
- Динамическое выделение FIFO памяти для конечных точек;
- Поддержка функциональности Keep Alive для режимов-Low Speed, Full-Speed, и High-Speed;
- Аппаратное управление обработкой ошибок на уровне шины и уровне пакета;
- Распределённая буферизация данных;
- Поддержка распределённых пакетов (Ethernet через USB приложение) для предотвращения программного копирования и создания USB пакетов;
- Кэширование дескрипторов и предварительная подкачка данных;
- Модерирование прерываний;
- Разрядность адреса – 32 бит (не XPA)

Вследствие того, что разрядность адресной шины равна 32 бит, контроллер не поддерживает расширенную физическую адресацию (XPA). Поэтому встроенный DMA контроллер поддерживает адресацию физической памяти до 4 ГБ.

2.4.3 Подсистема SATA 6G

Контроллер SATA соответствует спецификациям *Advanced Host Controller Interface (AHCI)* и *SATA Host Bus Adaptor (HBA)*.

Совместно с двумя PHY он представляет собой блок с двумя полными интерфейсами AHCI HBA.

Подсистема SATA поддерживает следующую функциональность:

- Обмен данными в режимах SATA 1.5 Гб/с, SATA 3.0 Гб/с, и SATA 6.0 Гб/с;
- Совместимость с требованиями спецификаций Serial ATA 3.2 и AHCI Revision 1.3.0;
- 8b/10b кодирование/декодирование;
- Средства управления энергопотреблением, включая автоматический переход из режима ожидания в режим сна;
- Встроенные средства самотестирования (BIST) в режиме обратной петли;
- Встроенный блок DMA для каждого порта;
- Разрядность адреса – 32 бит (не XPA)

Вследствие того, что разрядность адресной шины равна 32 бит, контроллер не поддерживает расширенную физическую адресацию (XPA). Поэтому встроенный DMA контроллер поддерживает адресацию физической памяти до 4 ГБ.

2.4.4 10 Gb Ethernet

Обеспечивает приём и передачу данных по сети Ethernet в соответствии со стандартом IEEE 802.3-2008

Основные возможности подсистемы XGMAC:

- Полнодуплексный режим работы на скорости 10 Гб/с;
- Полное соответствие с разделом 71 (10GBASE-KX4) и разделом 72 (10GBASE-KR) стандарта IEEE 802.3-2008;
- Полное соответствие с разделом 78 (энергосберегающий Ethernet – EEE) стандарта IEEE 802.3az для скорости 10 Гб/с;
- Поддержка программируемой или расширяемой до 16КБ (jumbo) длины пакета Ethernet;
- Поддержка пакетов с метками виртуальных сетей (VLAN tagged) в соответствии со стандартом IEEE 802.1Q;
- Встроенный контроллер DMA;
- Разрядность адреса - 40-бит (XPA)

2.4.5 1 Gb Ethernet

В микропроцессор встроены два идентичных контроллера 1 Gb Ethernet, полностью отвечающие требованиям стандарта IEEE 802.3-2008. Их основными характеристиками являются:

- Интерфейс RGMII к адаптеру физического уровня PHY, поддерживающий скорости передачи данных 10, 100, 1000 Мбит/с;
- Поддержка дуплексного режима приёма-передачи;
- Поддержка полудуплексного режима приёма-передачи;
- Раздельные интерфейсы приложений для передачи, приёма и управления;
- Поддержка стандарта энергосберегающего Ethernet.
- Встроенный DMA контроллер с независимой аппаратной реализацией приёма и передачи
- Разрядность адреса – 32 бит (не XPA)

Вследствие того, что разрядность адресной шины равна 32 бит, контроллер не поддерживает расширенную физическую адресацию. Поэтому встроенный DMA контроллер поддерживает адресацию физической памяти до 4 ГБ.

2.5 Низкоскоростные интерфейсы

2.5.1 Программируемые периферийные таймеры

Модуль содержит три независимых таймера объединенных в единый контроллер.

Каждый из трёх 32-разрядных таймеров может работать в режимах: “free-running” и “user-defined count”.

В режиме “user-defined count” таймер выполняет обратный счёт от запрограммированного значения и выдаёт прерывание по достижении нуля.

Прерывание от таймера может быть установлено даже при отсутствии тактирования системной шины.

2.5.2 Контроллер GPIO

В системе присутствуют два GPIO контроллера с разрядностью 3 бита и 32 бита. Оба контроллера имеют следующие параметры:

- Независимо управляемые сигналы (3 и 32 бита соответственно);
- Два отдельных регистра (регистр данных и регистр направления) для каждого сигнала

Для поддержки прерываний GPIO*32 обеспечивает следующую функциональность:

- Независимый конфигурируемый режим прерываний для каждого сигнала;
- Объединённый статус всех прерываний

GPIO*3 не поддерживает прерываний.

2.5.3 Интерфейс UART

Каждый UART имеет handshaking интерфейс с DMA контроллером для низкоскоростных периферийных устройств (DMA LSP), который может запрашивать и контролировать передачу данных между UART и памятью.

UART имеет регистры, используемые для управления:

- Длиной кода символа;
- Скоростью передачи данных – до 460,8 Кбит/с;
- Генерацией и проверкой битов контроля чётности;
- Генерацией прерываний

2.5.4 Интерфейс SPI

В системе имеется два идентичных SPI контроллера.

Контроллер SPI представляет собой полнодуплексный master или slave синхронный последовательный интерфейс, используемый для связи на малых расстояниях.

Каждый SPI имеет handshaking интерфейс с DMA контроллером для низкоскоростных периферийных устройств, который может запрашивать и контролировать передачу данных между SPI и памятью.

Master (ядро или DMA LSP контроллер) получает доступ к управлению данными и статусу данных через SPI регистры управления и статуса.

SPI контроллер действует как последовательный мастер. Он может подключаться к последовательным периферийным slave устройствам через Motorola SPI интерфейс.

2.5.5 Контроллер I²C

В системе имеется два идентичных контроллера I²C общего назначения.

I²C представляет собой программируемый последовательный интерфейс, который обеспечивает поддержку связи между устройствами, подключёнными к шине.

Характеристики I²C контроллеров:

- Скорость передачи данных от 0 до 100 Кбит/с в стандартном режиме работы;
- Действие в качестве master или slave устройства;
- Программируемая 7-ми или 10-ти разрядная адресация;
- Передача данных в комбинированном 7-ми или 10-ти разрядном формате

Каждый I²C имеет handshaking интерфейс с DMA контроллером для низкоскоростных периферийных устройств, который может запрашивать и контролировать передачу данных между I²C и памятью.

2.6 Мониторинг системы

2.6.1 PVT контроллер

Мониторинг напряжений, температур и вариативности параметров процесса предназначен для корректировки рабочих напряжений и частот.

PVT контроллер выполняет следующие функции:

- Готовность результатов измерений определяется путём опроса регистра данных или прослушивания прерываний;
- Программируемые верхние и нижние пороговые значения измеряемых PVT параметров для выставления прерываний;
- Программируемый таймаут повторного измерения PVT параметров

2.6.2 Сторожевой таймер

Программируемый сторожевой таймер предназначен для предотвращения зависаний, которые могут быть вызваны программными ошибками или аппаратными сбоями.

При возникновении задержки сторожевой таймер выполняет одно из следующих действий:

- производится сброс системы;
- сначала генерируется прерывание, и если программа-обработчик не очистила это прерывание за второй такой же интервал времени, то производится сброс системы

Сгенерированное прерывание передаётся глобальному контроллеру прерываний.

Сгенерированный сброс передаётся на блок управления тактированием, который в свою очередь генерирует сброс для компонентов системы. Сторожевой таймер может быть сброшен независимо от других подсистем.

3 Электрические характеристики

Примечание: Электрические характеристики и условия эксплуатации могут изменяться и уточняться без специального уведомления.

3.1 Параметры электропитания

Схема питания микропроцессора BE-T1000 должна включать четыре изолированных источника напряжения и единую общую землю, как приведено в следующей таблице.

Таблица 3-1 Домены питания микропроцессора

Имя контакта корпуса	Подаваемое напряжение, В	Ожидаемый максимальный ток, А
VDD	0,95 (+/- 5%)	2,9
VPCI_09	0,95 (+/- 5%)	0,4
VXGB_09	0,95(+/- 5%)	0,6
VSATAP_09	0,95 (+/- 5%)	0,08
VSATATX_09	0,95 (+/- 5%)	0,05
VDDR_15	1,5 (+/- 5%)	0,4
VPCI_15	1,5 (+/- 5%)	0,1
VXGB_15	1,5 (+/- 5%)	0,2
VDDIO_18	1,8 (+ 10%, - 7%)	0,1
VSATA_18	1,8 (+ 10%, - 7%)	0,04
VDDR_18	1,8 (+ 10%, - 7%)	0,12
VPLLCORE_09	0,95 (+/- 5%)	0,01
VPLLDDR_09	0,95 (+/- 5%)	0,01
VPLLETH_09	0,95 (+/- 5%)	0,01
VPLLPCIE_09	0,95 (+/- 5%)	0,01
VPLLSATA_09	0,95 (+/- 5%)	0,01
VPVT_18	1,8 (+10%, -7%)	
VSS	Земля	
VSSIO	Земля	
VSSCORE_PLL	Земля	
VSSDDR_PLL	Земля	
VSSETH_PLL	Земля	
VSSPCIE_PLL	Земля	
VSSSATA_PLL	Земля	

3.2 Входные тактовые сигналы

Характеристики опорных тактовых сигналов приведены в следующей таблице.

Таблица 3-2 Характеристики тактовых сигналов микропроцессора

Описание	Имя контакта корпуса	Значение	Ед. изм.	Примечание
Частота тактового сигнала	CLK25M	25	МГц	-
Частота тактового сигнала XGbE PHY	XG_REF_CLKN ¹ , XG_REF_CLKP ¹	156.25	МГц	Дифференциальная пара Терминированные ² и нетерминированные ³ сигналы
Частота тактового сигнала PCIe PHY	PCI_E_REF_CLKN ¹ , PCI_E_REF_CLKP ¹	100	МГц	Дифференциальная пара Терминированные ² и нетерминированные ³ сигналы
Частота тактового сигнала SATA PHY	SATA_REFCLKP ¹ , SATA_REFCLKM ¹	100	МГц	Дифференциальная пара Терминированные ² и нетерминированные ³ сигналы

Примечания:

1. Если данные контакты не используются, их необходимо заземлить
2. На плате рядом с СМК припаян согласующий резистор сопротивлением 50 Ом, препятствующий отражению сигнала при его передаче к PHY
3. Уровень сигнала удвоится, так как он достигает высокоимпедансного значения на входе PHY. Этот эффект также можно использовать для обеспечения передачи чистого тактового сигнала к PHY. Необходимо учесть, что размах тактового сигнала не будет слишком сильным после удвоения амплитуды

3.2.1 Требования к тактовым частотам

3.2.1.1 Тактовая частота CLK25M

Table 3-3 Требования к тактовой частоте CLK25M

Параметр	Мин.	Ном.	Макс.	Ед. изм.
Тактовая частота		25		МГц
Нестабильность тактовой частоты	-50		50	%
Джиттер тактовой частоты (среднеквадратичное значение)		10		пс
Джиттер тактовой частоты от такта к такту		6		пс
Время запуска		1.5	3.0	нс
Время отключения		20	100	нс
Значение силы тока в режиме ожидания			15	мкА

3.2.1.2 Тактовая частота XGbE PHY

PHY использует дифференциальный источник тактовой частоты. Источник может управляться от внешних контактных площадок либо от внутренних контактов. Выбранная тактовая частота должна соответствовать специальным требованиям к размаху сигнала и джиттеру. В следующей таблице приведены требования к тактовой частоте, подаваемой на PHY.

Таблица 3-4 Требования к тактовой частоте XGbE PHY

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Тактовая частота		156.25		МГц	
Нестабильность тактовой частоты	-0.01		0.01	%	
Размах дифференциального входного сигнала	300		1890	мВ (полная амплитуда)	
Сквозность	40		60	%	
Крутизна входного фронта	0.6			В/нс	
Развязка					Развязка по переменному току
Допустимый джиттер для 10GBASE-KR и более низких частот			2.25	пс (среднеквадратичное значение)	Проинтегрировано от 12 кГц до 20 МГц
Допустимый джиттер для 10GBASE-KX4			3.6	пс (среднеквадратичное значение)	Проинтегрировано от 12 кГц до 20 МГц
Джиттер периода (от пика до пика) тактовой частоты			20	пс	Джиттер периода, за 10000 измерений
Фазовый джиттер			2	пс	Проинтегрировано от 1,5 МГц до половины частоты дискретизации (до частоты Найквиста)

3.2.1.3 Тактовая частота PCIe PHY

Таблица 3-5 Требования к тактовой частоте PCIe PHY

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Тактовая частота		100		МГц	

Таблица 3-5 Требования к тактовой частоте PCIe PHY (продолжение)

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Нестабильность тактовой частоты	-0.03		0.03	%	
Размах дифференциального входного сигнала	300		1890	мВ (полная амплитуда)	
Скважность	40		60	%	
Крутизна входного фронта	0.6			В/нс	
Развязка					Развязка по переменному току

Примечание: 100 МГц – это единственная тактовая частота, соответствующая стандарту PCIe. При использовании тактовой частоты 125 МГц PHY может не соответствовать спецификации PCIe в части полосы частот ФАПЧ, пиковых напряжений и джиттера

3.2.1.4 Тактовая частота SATA PHY

Таблица 3-6 Требования к тактовой частоте SATA PHY

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Тактовая частота		100		МГц	
Нестабильность тактовой частоты	-0.035		0.035	%	
Джиттер тактовой частоты (среднеквадратичное значение)			3	пс	Проинтегрировано от 1,5 МГц до половины частоты дискретизации (до частоты Найквиста)
Джиттер тактовой частоты от такта к такту			150	пс	Проинтегрировано по всем частотам
Скважность	40		60	%	
Уровень однофазного входного сигнала	0		vr	В	Дифференциальные входы
Размах дифференциального входного сигнала	0.3			В (полная амплитуда)	Дифференциальные входы
Напряжение логического нуля на однофазном входе	-0.3		0.3	В	При использовании однофазного входа
Напряжение логической единицы на однофазном входе	vr-0.3		vr+0.3	В	При использовании однофазного входа

Таблица 3-6 Требования к тактовой частоте SATA PHY (продолжение)

Параметр	Мин.	Ном.	Макс.	Ед. изм.	Условия
Крутизна входного фронта	0.6			В/нс	
Расфазировка (skew) тактовой частоты			±200	пс	

4 Процедуры запуска и сброса микропроцессора

4.1 Процедура запуска микропроцессора

Для запуска микропроцессора должны быть выполнены следующие шаги:

1. Подача напряжения на домены питания VDD, VPLLCORE_09, VPLLDDR_09, VPLLETH_09, VPLLPCIE_09, VPLLSATA_09, VPCI_09, VSATAP_09, VSATATX_09, VXGB_09 (домены питания 0,95 В, в соотв. с [таблицей 3-1](#));
2. **Пауза не менее 20 мс;**
3. Подача напряжения на домены питания VDDR_15, VPCI_15, VXGB_15 (домены питания 1,5 В);
4. Подача напряжения домены питания VDDIO_18, VDDR_18, VSATA_18 (домены питания 1,8 В);
5. **Пауза не менее 100 мс;**
6. К этому моменту тактовая частота, подаваемая на вход CLK25M_IN, должна стабилизироваться на 25 МГц

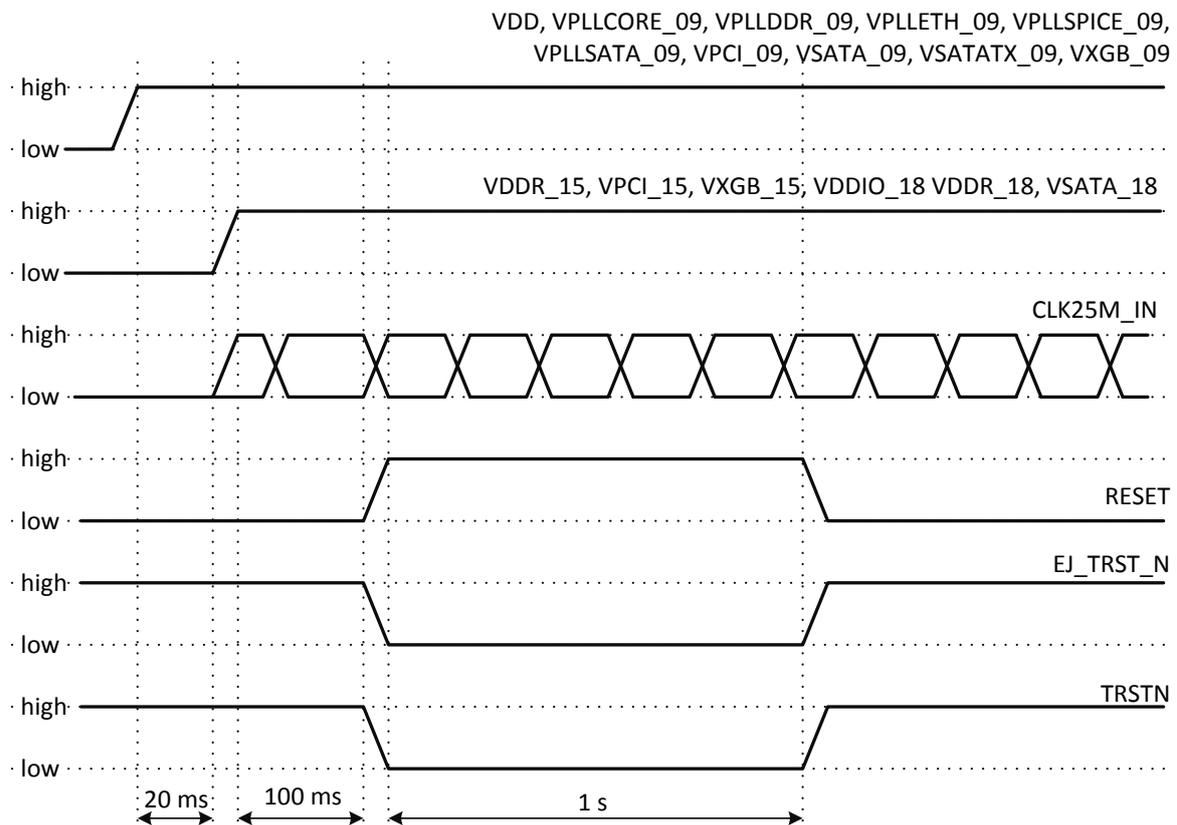


Рисунок 4-1 Последовательность запуска и сброса микропроцессора

После выполнения описанной выше процедуры старта следует произвести сброс микропроцессора, как описано в следующем разделе.

4.2 Процедура сброса микропроцессора

Необходимым условием сброса микропроцессора является наличие стабильной тактовой частоты 25 МГц, подаваемой на контакт CLK25M_IN.

Для сброса (ресета, рестарта) микропроцессора должны быть одновременно выполнены следующие действия над входами RESET, EJ_TRST_N и TRSTN (см. рисунок 5):

1. Держать сигнал RESET на высоком уровне не менее **40 нс**, затем опустить его до низкого уровня;
2. Держать сигнал EJ_TRST_N на низком уровне не менее **40 нс**, затем поднять его до высокого уровня;
3. Держать сигнал TRSTN на низком уровне не менее **40 нс**, затем поднять его до высокого уровня

Примечание: Для корректного сброса EJTAG TAP контроллера после достижения значения EJ_TRST_N = 1, должно пройти минимум 5 тактов EJ_TCK

4.3 Выбор режима загрузки

Режим загрузки выбирается с помощью подачи соответствующих напряжений на контакты BOOTCFG_0 и BOOTCFG_1 микропроцессора на время всей процедуры сброса.

Текущая версия микропроцессора поддерживает два режима загрузки:

1. основной, он же Flash Mode (программное обеспечение загружается из flash памяти через интерфейс SPI0);
2. отладочный, он же ROM Mode (из встроенного ПЗУ загружается технологическое программное обеспечение Baikal ROM Monitor для диагностики микропроцессора)

В обоих случаях на контакте BOOTCFG_0 должно быть низкое напряжение (земля). Низкое напряжение (земля) на контакте BOOTCFG_1 выбирает отладочный режим (загрузка монитора из ПЗУ), а высокое (VDD) – основной (загрузка рабочего ПО из внешней flash-памяти).

5 Выводы микропроцессора

5.1 Список выводов

Следующая таблица содержит полный список контактов, включая входы, выходы, питание и землю. Во избежание разночтений данные из системы проектирования приведены в таблице без перевода.

Обозначения типов:

I	Вход (Input)
O	Выход (Output)
IO	Вх./Вых. (In/Out)
A	Аналоговый (Analog)
P	Питание (Power)
G	Земля (Ground)
NC	Не подключён (Not Connected)

Таблица 5-1 Список выводов

	Позиция	Название вывода	Тип	Описание
1	AC3	BOOTCFG_0	I	Вход для выбора режима загрузки
2	AC4	BOOTCFG_1	I	Вход для выбора режима загрузки
3	R2	CLK25M_IN	I	Тактовый входной сигнал частотой 25 МГц
4	R1	CLK25M_OUT	O	Тактовый выходной сигнал частотой 25 МГц
5	K19	DDR_A[0]	O	Адрес SDRAM
6	K24	DDR_A[1]	O	Адрес SDRAM
7	H22	DDR_A[10]	O	Адрес SDRAM
8	M20	DDR_A[11]	O	Адрес SDRAM
9	K18	DDR_A[12]	O	Адрес SDRAM
10	M19	DDR_A[13]	O	Адрес SDRAM
11	L20	DDR_A[14]	O	Адрес SDRAM
12	J21	DDR_A[15]	O	Адрес SDRAM
13	K22	DDR_A[2]	O	Адрес SDRAM
14	M22	DDR_A[3]	O	Адрес SDRAM
15	M18	DDR_A[4]	O	Адрес SDRAM
16	P21	DDR_A[5]	O	Адрес SDRAM
17	N19	DDR_A[6]	O	Адрес SDRAM
18	P19	DDR_A[7]	O	Адрес SDRAM
19	P20	DDR_A[8]	O	Адрес SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
20	M21	DDR_A[9]	O	Адрес SDRAM
21	V19	DDR_ATO	A	Аналоговый тестовый вывод
22	N22	DDR_BA[0]	O	Адрес банка SDRAM
23	J19	DDR_BA[1]	O	Адрес банка SDRAM
24	G20	DDR_BA[2]	O	Группа банка SDRAM
25	J22	DDR_CAS#	O	Выбор адреса столбца SDRAM
26	M23	DDR_CK[0]	O	Тактовый сигнал SDRAM
27	L21	DDR_CK[1]	O	Тактовый сигнал SDRAM
28	M24	DDR_CK_N[0]	O	Тактовый сигнал SDRAM
29	L22	DDR_CK_N[1]	O	Тактовый сигнал SDRAM
30	K23	DDR_CKE[0]	O	Включение тактового сигнала SDRAM
31	H20	DDR_CKE[1]	O	Включение тактового сигнала SDRAM
32	H23	DDR_CS_N[0]	O	Выбор микросхемы SDRAM
33	J20	DDR_CS_N[1]	O	Выбор микросхемы SDRAM
34	AC22	DDR_DM[0]	O	Маска данных SDRAM
35	W21	DDR_DM[1]	O	Маска данных SDRAM
36	T22	DDR_DM[2]	O	Маска данных SDRAM
37	F22	DDR_DM[3]	O	Маска данных SDRAM
38	B22	DDR_DM[4]	O	Маска данных SDRAM
39	AA19	DDR_DQ[0]	IO	Данные SDRAM
40	AA22	DDR_DQ[1]	IO	Данные SDRAM
41	V24	DDR_DQ[10]	IO	Данные SDRAM
42	Y22	DDR_DQ[11]	IO	Данные SDRAM
43	Y21	DDR_DQ[12]	IO	Данные SDRAM
44	AA24	DDR_DQ[13]	IO	Данные SDRAM
45	AA23	DDR_DQ[14]	IO	Данные SDRAM
46	V21	DDR_DQ[15]	IO	Данные SDRAM
47	V20	DDR_DQ[16]	IO	Данные SDRAM
48	P23	DDR_DQ[17]	IO	Данные SDRAM
49	P24	DDR_DQ[18]	IO	Данные SDRAM
50	R21	DDR_DQ[19]	IO	Данные SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
51	AB23	DDR_DQ[2]	IO	Данные SDRAM
52	T21	DDR_DQ[20]	IO	Данные SDRAM
53	U24	DDR_DQ[21]	IO	Данные SDRAM
54	U21	DDR_DQ[22]	IO	Данные SDRAM
55	T20	DDR_DQ[23]	IO	Данные SDRAM
56	G21	DDR_DQ[24]	IO	Данные SDRAM
57	E21	DDR_DQ[25]	IO	Данные SDRAM
58	E22	DDR_DQ[26]	IO	Данные SDRAM
59	E20	DDR_DQ[27]	IO	Данные SDRAM
60	F21	DDR_DQ[28]	IO	Данные SDRAM
61	E24	DDR_DQ[29]	IO	Данные SDRAM
62	AB24	DDR_DQ[3]	IO	Данные SDRAM
63	E23	DDR_DQ[30]	IO	Данные SDRAM
64	F20	DDR_DQ[31]	IO	Данные SDRAM
65	A21	DDR_DQ[32]	IO	Данные SDRAM
66	B24	DDR_DQ[33]	IO	Данные SDRAM
67	B21	DDR_DQ[34]	IO	Данные SDRAM
68	B23	DDR_DQ[35]	IO	Данные SDRAM
69	D21	DDR_DQ[36]	IO	Данные SDRAM
70	D24	DDR_DQ[37]	IO	Данные SDRAM
71	D23	DDR_DQ[38]	IO	Данные SDRAM
72	D22	DDR_DQ[39]	IO	Данные SDRAM
73	AD22	DDR_DQ[4]	IO	Данные SDRAM
74	AA20	DDR_DQ[5]	IO	Данные SDRAM
75	AD21	DDR_DQ[6]	IO	Данные SDRAM
76	AA21	DDR_DQ[7]	IO	Данные SDRAM
77	V22	DDR_DQ[8]	IO	Данные SDRAM
78	V23	DDR_DQ[9]	IO	Данные SDRAM
79	AC23	DDR_DQS[0]	IO	Стробирующий импульс SDRAM
80	Y23	DDR_DQS[1]	IO	Стробирующий импульс SDRAM
81	T23	DDR_DQS[2]	IO	Стробирующий импульс SDRAM
82	F23	DDR_DQS[3]	IO	Стробирующий импульс SDRAM

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
83	C23	DDR_DQS[4]	IO	Стробирующий импульс SDRAM
84	AC24	DDR_DQS_N[0]	IO	Стробирующий импульс SDRAM
85	Y24	DDR_DQS_N[1]	IO	Стробирующий импульс SDRAM
86	T24	DDR_DQS_N[2]	IO	Стробирующий импульс SDRAM
87	F24	DDR_DQS_N[3]	IO	Стробирующий импульс SDRAM
88	C24	DDR_DQS_N[4]	IO	Стробирующий импульс SDRAM
89	P18	DDR.DTO[0]	O	Цифровой тестовый вывод
90	P17	DDR.DTO[1]	O	Цифровой тестовый вывод
91	H24	DDR.ODT[0]	O	Сигнал терминации SDRAM
92	P22	DDR.ODT[1]	O	Сигнал терминации SDRAM
93	T19	DDR.RAM_RST_N	O	Перезагрузка SDRAM
94	H21	DDR.RAS#	O	Выбор адреса строки SDRAM
95	H17	DDR.VREF[0]	A	IO ring VREFI net
96	M17	DDR.VREF[1]	A	IO ring VREFI net
97	E18	DDR.VREF[2]	A	IO ring VREFI net
98	R18	DDR.VREF[3]	A	IO ring VREFI net
99	U18	DDR.VREF[4]	A	IO ring VREFI net
100	W19	DDR.VREF[5]	A	IO ring VREFI net
101	J18	DDR.VREFI_ZQ	A	IO ring VREFI ZQ net
102	G19	DDR.WE#	O	Включение записи SDRAM
103	J17	DDR.ZQ	A	Внешний калибровочный резистор
104	A14	EJ.DINT_IN	I	Вход DINT
105	A13	EJ.TCK	I	Тестовый вход тактового сигнала
106	C14	EJ.TDI	I	«Гирлянда» данных тестового входа/выхода
107	C13	EJ.TDO	O	Выходные тестовые данные
108	B14	EJ.TMS	I	Выбор режима тестирования
109	B13	EJ.TRST_N	I	Активный низкий уровень тестового сброса
110	P7	G0.CLK_RX_I	I	Тактовый сигнал приёмника RGMII
111	P6	G0.CLK_TX_I	O	Тактовый сигнал передатчика RGMII
112	N6	G0.GP_IN	I	Вход общего назначения
113	N7	G0.GP_OUT	O	Выход общего назначения
114	R5	G0.MDC	O	Тактовый сигнал SMA

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
115	R6	G0_MDIO	IO	Данные SMA
116	R4	G0_RCTL_I	I	Управление приёмом RGMII
117	P2	G0_RXD_I[0]	I	Принимаемые данные RGMII
118	P5	G0_RXD_I[1]	I	Принимаемые данные RGMII
119	P1	G0_RXD_I[2]	I	Принимаемые данные RGMII
120	R3	G0_RXD_I[3]	I	Принимаемые данные RGMII
121	N1	G0_TCTL_O	O	Управление передачей RGMII
122	N2	G0_TXD_O[0]	O	Передаваемые данные RGMII
123	N3	G0_TXD_O[1]	O	Передаваемые данные RGMII
124	N4	G0_TXD_O[2]	O	Передаваемые данные RGMII
125	N5	G0_TXD_O[3]	O	Передаваемые данные RGMII
126	W1	G1_CLK_RX_I	I	Тактовый сигнал приёмника RGMII
127	W2	G1_CLK_TX_I	O	Тактовый сигнал передатчика RGMII
128	Y1	G1_GP_IN	I	Вход общего назначения
129	Y2	G1_GP_OUT	O	Выход общего назначения
130	Y4	G1_MDC	O	Тактовый сигнал SMA
131	Y3	G1_MDIO	IO	Данные SMA
132	Y5	G1_RCTL_I	I	Управление приёмом RGMII
133	U4	G1_RXD_I[0]	I	Принимаемые данные RGMII
134	V6	G1_RXD_I[1]	I	Принимаемые данные RGMII
135	V4	G1_RXD_I[2]	I	Принимаемые данные RGMII
136	V5	G1_RXD_I[3]	I	Принимаемые данные RGMII
137	V2	G1_TCTL_O	O	Управление передачей RGMII
138	T5	G1_TXD_O[0]	O	Передаваемые данные RGMII
139	T6	G1_TXD_O[1]	O	Передаваемые данные RGMII
140	U5	G1_TXD_O[2]	O	Передаваемые данные RGMII
141	V1	G1_TXD_O[3]	O	Передаваемые данные RGMII
142	F9	GPIO[0]	IO	Данные GPIO/функция отметки времени GMAC1
143	F8	GPIO[1]	IO	Данные GPIO/функция отметки времени GMAC2
144	D1	GPIO[10]	IO	Данные GPIO
145	C5	GPIO[11]	IO	Данные GPIO
146	C3	GPIO[12]	IO	Данные GPIO

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
147	C2	GPIO[13]	IO	Данные GPIO
148	B5	GPIO[14]	IO	Данные GPIO
149	B3	GPIO[15]	IO	Данные GPIO
150	E3	GPIO[16]	IO	Данные GPIO
151	B2	GPIO[17]	IO	Данные GPIO
152	C1	GPIO[18]	IO	Данные GPIO
153	A2	GPIO[19]	IO	Данные GPIO
154	F7	GPIO[2]	IO	Данные GPIO/включение PCIe устройства
155	A4	GPIO[20]	IO	Данные GPIO
156	B4	GPIO[21]	IO	Данные GPIO
157	A3	GPIO[22]	IO	Данные GPIO
158	B6	GPIO[23]	IO	Данные GPIO
159	A6	GPIO[24]	IO	Данные GPIO
160	F10	GPIO[25]	IO	Данные GPIO
161	E8	GPIO[26]	IO	Данные GPIO
162	E7	GPIO[27]	IO	Данные GPIO
163	B7	GPIO[28]	IO	Данные GPIO
164	A7	GPIO[29]	IO	Данные GPIO
165	E6	GPIO[3]	IO	Данные GPIO/включение криптоустройства
166	E9	GPIO[30]	IO	Данные GPIO
167	D8	GPIO[31]	IO	Данные GPIO
168	E5	GPIO[4]	IO	Данные GPIO
169	E4	GPIO[5]	IO	Данные GPIO
170	D5	GPIO[6]	IO	Данные GPIO
171	D3	GPIO[7]	IO	Данные GPIO
172	A5	GPIO[8]	IO	Данные GPIO
173	D2	GPIO[9]	IO	Данные GPIO
174	W7	GPIO3[0]	IO	Данные GPIO
175	W6	GPIO3[1]	IO	Данные GPIO
176	W5	GPIO3[2]	IO	Данные GPIO
177	G17	GPVT	A	Вывод для подключения фильтра (без возможности подключения GPVT к источнику питания на плате)

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
178	AD5	I2C0_SCL	IO	Тактовый сигнал I ² C0
179	AD4	I2C0_SDA	IO	Данные I ² C0
180	K7	I2C1_SCL	IO	Тактовый сигнал I ² C1
181	K6	I2C1_SDA	IO	Данные I ² C1
182	J1	I2C2_SCL	IO	Тактовый сигнал I ² C2
183	K1	I2C2_SDA	IO	Данные I ² C2
184	R7	MBIST_CLK	I	Тактовый сигнал MBIST
185	AA11	NC	NC	Не подключен
186	AB11	NC	NC	Не подключен
187	AC11	NC	NC	Не подключен
188	AC21	NC	NC	Не подключен
189	AD1	NC	NC	Не подключен
190	AD11	NC	NC	Не подключен
191	D18	NC	NC	Не подключен
192	D19	NC	NC	Не подключен
193	F16	NC	NC	Не подключен
194	G18	NC	NC	Не подключен
195	K17	NC	NC	Не подключен
196	L17	NC	NC	Не подключен
197	R17	NC	NC	Не подключен
198	T18	NC	NC	Не подключен
199	AC5	PCIE_AMON	O	Диагностический вывод PHY
200	AD20	PCIE_ATT_BUT	I	Нажата кнопка «Внимание»
201	V17	PCIE_ATT_IND[0]	O	Управление индикатором предупреждения
202	T17	PCIE_ATT_IND[1]	O	Управление индикатором предупреждения
203	AA18	PCIE_CMD_INT	I	Завершение прерывания команды контроллера горячей замены
204	W13	PCIE_DMON	O	Диагностический вывод PHY
205	W15	PCIE_DMONB	O	Диагностический вывод PHY
206	V18	PCIE_INTRL_CTRL	O	Электромеханическая блокировка управления
207	W18	PCIE_INTRL_ENG	I	Система электромеханической блокировки включена
208	W16	PCIE_MRL_SENS	I	Состояние датчика MRL

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
209	AD19	PCIE_PRES_ST	I	Состояние детектора присутствия
210	AA17	PCIE_PWR_CTRL	O	Управление контроллером питания
211	AB18	PCIE_PWR_FAULT	I	Детектор сбоя питания
212	Y18	PCIE_PWR_IND[0]	O	Управление индикатором питания
213	U17	PCIE_PWR_IND[1]	O	Управление индикатором питания
214	W12	PCIE_RBIAS	IO	Подключение опорного резистора
215	AD14	PCIE_REF_CLKN	I	Опорные тактовые импульсы (дифференциальная пара)
216	AC14	PCIE_REF_CLKP	I	Опорные тактовые импульсы (дифференциальная пара)
217	AD12	PCIE_RXM[0]	I	Данные, принимаемые по дифференциальной паре 0
218	AD13	PCIE_RXM[1]	I	Данные, принимаемые по дифференциальной паре 1
219	AD15	PCIE_RXM[2]	I	Данные, принимаемые по дифференциальной паре 2
220	AD16	PCIE_RXM[3]	I	Данные, принимаемые по дифференциальной паре 3
221	AC12	PCIE_RXP[0]	I	Данные, принимаемые по дифференциальной паре 0
222	AC13	PCIE_RXP[1]	I	Данные, принимаемые по дифференциальной паре 1
223	AC15	PCIE_RXP[2]	I	Данные, принимаемые по дифференциальной паре 2
224	AC16	PCIE_RXP[3]	I	Данные, принимаемые по дифференциальной паре 3
225	AA12	PCIE_TXM[0]	O	Данные, передаваемые по дифференциальной паре 0
226	AA13	PCIE_TXM[1]	O	Данные, передаваемые по дифференциальной паре 1
227	AA15	PCIE_TXM[2]	O	Данные, передаваемые по дифференциальной паре 2
228	AA16	PCIE_TXM[3]	O	Данные, передаваемые по дифференциальной паре 3
229	Y12	PCIE_TXP[0]	O	Данные, передаваемые по дифференциальной паре 0
230	Y13	PCIE_TXP[1]	O	Данные, передаваемые по дифференциальной паре 1

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
				паре 1
231	Y15	PCIE_TXP[2]	O	Данные, передаваемые по дифференциальной паре 2
232	Y16	PCIE_TXP[3]	O	Данные, передаваемые по дифференциальной паре 3
233	U6	RES_3		Резервный вывод
234	T1	RESET	I	Перезагрузка системы
235	C15	SATA_P0CPDET	I	Обнаружение присутствия P0
236	E15	SATA_P0CPPD	O	Устройство присутствия P0
237	F15	SATA_P0MPSWITCH	I	Механический датчик присутствия P0
238	E14	SATA_P1CPDET	I	Обнаружение присутствия P1
239	D15	SATA_P1CPPD	O	Устройство присутствия P1
240	D14	SATA_P1MPSWITCH	I	Механический датчик присутствия P1
241	A20	SATA_REFCLKM	I	Опорные тактовые импульсы (дифференциальная пара)
242	B20	SATA_REFCLKP	I	Опорные тактовые импульсы (дифференциальная пара)
243	C19	SATA_RESREF	A	Опорный резистор
244	B19	SATA_RXM[0]	I	Данные, принимаемые по дифференциальной паре 0
245	B17	SATA_RXM[1]	I	Данные, принимаемые по дифференциальной паре 1
246	A19	SATA_RXP[0]	I	Данные, принимаемые по дифференциальной паре 0
247	A17	SATA_RXP[1]	I	Данные, принимаемые по дифференциальной паре 1
248	B18	SATA_TXM[0]	O	Данные, передаваемые по дифференциальной паре 0
249	B16	SATA_TXM[1]	O	Данные, передаваемые по дифференциальной паре 1
250	A18	SATA_TXP[0]	O	Данные, передаваемые по дифференциальной паре 0
251	A16	SATA_TXP[1]	O	Данные, передаваемые по дифференциальной паре 1
252	J7	SPI0_RXD	I	Принимаемые данные
253	H6	SPI0_SCLK_OUT	O	Тактовый сигнал

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
254	H7	SPI0_SS_N	O	Выбор Slave устройства
255	J6	SPI0_TXD	O	Передаваемые данные
256	F6	SPI1_RXD	I	Принимаемые данные
257	F2	SPI1_SCLK_OUT	O	Тактовый сигнал
258	F1	SPI1_SS_N[0]	O	Выбор Slave устройства
259	G5	SPI1_SS_N[1]	O	Выбор Slave устройства
260	G6	SPI1_SS_N[2]	O	Выбор Slave устройства
261	G7	SPI1_SS_N[3]	O	Выбор Slave устройства
262	F5	SPI1_TXD	O	Передаваемые данные
263	H5	SPI2_RXD	I	Принимаемые данные
264	H1	SPI2_SCLK_OUT	O	Тактовый сигнал
265	G4	SPI2_SS_N[0]	O	Выбор Slave устройства
266	G1	SPI2_SS_N[1]	O	Выбор Slave устройства
267	G2	SPI2_SS_N[2]	O	Выбор Slave устройства
268	G3	SPI2_SS_N[3]	O	Выбор Slave устройства
269	H2	SPI2_TXD	O	Передаваемые данные
270	AA1	TCK	I	Тестовый тактовый сигнал
271	AB2	TDI	I	Тестовые входные данные
272	AB1	TDO	O	Тестовые выходные данные
273	F14	TEST	I	Тестовый вывод
274	AA2	TMS	I	Выбор режима тестирования
275	F13	TR_CLK	O	Тактовый вывод к отладчику
276	A9	TR_DATA[0]	O	Данные трассировки для внешнего отладчика
277	B9	TR_DATA[1]	O	Данные трассировки для внешнего отладчика
278	C9	TR_DATA[10]	O	Данные трассировки для внешнего отладчика
279	A10	TR_DATA[11]	O	Данные трассировки для внешнего отладчика
280	C11	TR_DATA[12]	O	Данные трассировки для внешнего отладчика
281	B12	TR_DATA[13]	O	Данные трассировки для внешнего отладчика
282	E12	TR_DATA[14]	O	Данные трассировки для внешнего отладчика
283	A12	TR_DATA[15]	O	Данные трассировки для внешнего отладчика
284	C8	TR_DATA[2]	O	Данные трассировки для внешнего отладчика
285	E10	TR_DATA[3]	O	Данные трассировки для внешнего отладчика

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
286	E11	TR_DATA[4]	O	Данные трассировки для внешнего отладчика
287	D9	TR_DATA[5]	O	Данные трассировки для внешнего отладчика
288	B10	TR_DATA[6]	O	Данные трассировки для внешнего отладчика
289	F11	TR_DATA[7]	O	Данные трассировки для внешнего отладчика
290	F12	TR_DATA[8]	O	Данные трассировки для внешнего отладчика
291	D11	TR_DATA[9]	O	Данные трассировки для внешнего отладчика
292	B11	TR_DM	O	Индикатор режима отладки для внешнего отладчика
293	E13	TR_PROBE_N	I	Сигнал разрешения PIB (тактыый сигнал/данные) от отладчика
294	D13	TR_TRIGIN	I	Триггерный вход (от отладчика)
295	A11	TR_TRIGOUT	O	Триггерный выход (к отладчику)
296	AA5	TRSTN	I	Тестовый сброс
297	U7	TSTSEL_1	I	Выбор режима Func/MBIST. Bit_1
298	T7	TSTSEL_2	I	Выбор режима Func/MBIST. Bit_2
299	U3	TSTSEL_3	I	Выбор частоты загрузки
300	J4	UART0_RXD	I	Принимаемые данные
301	J5	UART0_TXD	O	Передаваемые данные
302	J2	UART1_RXD	I	Принимаемые данные
303	J3	UART1_TXD	O	Передаваемые данные
304	K2	ULPI_CLK	I	Тактовый сигнал ULPI
305	L1	ULPI_DATA[0]	IO	Данные ULPI
306	L2	ULPI_DATA[1]	IO	Данные ULPI
307	L5	ULPI_DATA[2]	IO	Данные ULPI
308	M5	ULPI_DATA[3]	IO	Данные ULPI
309	M6	ULPI_DATA[4]	IO	Данные ULPI
310	M7	ULPI_DATA[5]	IO	Данные ULPI
311	M3	ULPI_DATA[6]	IO	Данные ULPI
312	M4	ULPI_DATA[7]	IO	Данные ULPI
313	K3	ULPI_DIR	I	Управление шиной данных ULPI
314	K4	ULPI_NXT	I	Управление последующими данными ULPI
315	L6	ULPI_STP	O	Остановка управления на выходе ULPI
316	K5	USB2_OVER	I	Индикация перегрузки корневого порта

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
317	L7	USB2_VBUS	O	Управление питанием подключённого (downstream) порта
318	A1	VDD	P	Питание ядра
319	A15	VDD	P	Питание ядра
320	A22	VDD	P	Питание ядра
321	A8	VDD	P	Питание ядра
322	AB4	VDD	P	Питание ядра
323	AC1	VDD	P	Питание ядра
324	AC19	VDD	P	Питание ядра
325	AC20	VDD	P	Питание ядра
326	E1	VDD	P	Питание ядра
327	E16	VDD	P	Питание ядра
328	G10	VDD	P	Питание ядра
329	G11	VDD	P	Питание ядра
330	G12	VDD	P	Питание ядра
331	G13	VDD	P	Питание ядра
332	G14	VDD	P	Питание ядра
333	G15	VDD	P	Питание ядра
334	G16	VDD	P	Питание ядра
335	G22	VDD	P	Питание ядра
336	G8	VDD	P	Питание ядра
337	G9	VDD	P	Питание ядра
338	J10	VDD	P	Питание ядра
339	J11	VDD	P	Питание ядра
340	J12	VDD	P	Питание ядра
341	J13	VDD	P	Питание ядра
342	J14	VDD	P	Питание ядра
343	J15	VDD	P	Питание ядра
344	J16	VDD	P	Питание ядра
345	J8	VDD	P	Питание ядра
346	J9	VDD	P	Питание ядра
347	L10	VDD	P	Питание ядра

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
348	L11	VDD	P	Питание ядра
349	L12	VDD	P	Питание ядра
350	L13	VDD	P	Питание ядра
351	L14	VDD	P	Питание ядра
352	L15	VDD	P	Питание ядра
353	L16	VDD	P	Питание ядра
354	L8	VDD	P	Питание ядра
355	L9	VDD	P	Питание ядра
356	M1	VDD	P	Питание ядра
357	N10	VDD	P	Питание ядра
358	N11	VDD	P	Питание ядра
359	N12	VDD	P	Питание ядра
360	N13	VDD	P	Питание ядра
361	N14	VDD	P	Питание ядра
362	N15	VDD	P	Питание ядра
363	N16	VDD	P	Питание ядра
364	N8	VDD	P	Питание ядра
365	N9	VDD	P	Питание ядра
366	R10	VDD	P	Питание ядра
367	R11	VDD	P	Питание ядра
368	R12	VDD	P	Питание ядра
369	R13	VDD	P	Питание ядра
370	R14	VDD	P	Питание ядра
371	R15	VDD	P	Питание ядра
372	R16	VDD	P	Питание ядра
373	R22	VDD	P	Питание ядра
374	R8	VDD	P	Питание ядра
375	R9	VDD	P	Питание ядра
376	U10	VDD	P	Питание ядра
377	U11	VDD	P	Питание ядра
378	U12	VDD	P	Питание ядра
379	U13	VDD	P	Питание ядра

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
380	U14	VDD	P	Питание ядра
381	U15	VDD	P	Питание ядра
382	U16	VDD	P	Питание ядра
383	U8	VDD	P	Питание ядра
384	U9	VDD	P	Питание ядра
385	V3	VDD	P	Питание ядра
386	W22	VDD	P	Питание ядра
387	AB3	VDDIO_18	P	Питание входа/выхода
388	C10	VDDIO_18	P	Питание входа/выхода
389	C12	VDDIO_18	P	Питание входа/выхода
390	C4	VDDIO_18	P	Питание входа/выхода
391	C6	VDDIO_18	P	Питание входа/выхода
392	C7	VDDIO_18	P	Питание входа/выхода
393	F3	VDDIO_18	P	Питание входа/выхода
394	H3	VDDIO_18	P	Питание входа/выхода
395	L3	VDDIO_18	P	Питание входа/выхода
396	P3	VDDIO_18	P	Питание входа/выхода
397	T3	VDDIO_18	P	Питание входа/выхода
398	W3	VDDIO_18	P	Питание входа/выхода
399	Y17	VDDIO_18	P	Питание входа/выхода
400	AB22	VDDR_15	P	Питание DDR
401	C22	VDDR_15	P	Питание DDR
402	D20	VDDR_15	P	Питание DDR
403	F19	VDDR_15	P	Питание DDR
404	H19	VDDR_15	P	Питание DDR
405	J24	VDDR_15	P	Питание DDR
406	K21	VDDR_15	P	Питание DDR
407	L19	VDDR_15	P	Питание DDR
408	L24	VDDR_15	P	Питание DDR
409	N18	VDDR_15	P	Питание DDR
410	N21	VDDR_15	P	Питание DDR
411	N24	VDDR_15	P	Питание DDR

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
412	R20	VDDR_15	P	Питание DDR
413	U20	VDDR_15	P	Питание DDR
414	U23	VDDR_15	P	Питание DDR
415	Y20	VDDR_15	P	Питание DDR
416	A24	VDDR_18	P	Питание DDR
417	AD24	VDDR_18	P	Питание DDR
418	G24	VDDR_18	P	Питание DDR
419	R24	VDDR_18	P	Питание DDR
420	W24	VDDR_18	P	Питание DDR
421	AA14	VPCI_09	P	Питание PCIe PHY
422	AB13	VPCI_09	P	Питание PCIe PHY
423	AB16	VPCI_09	P	Питание PCIe PHY
424	Y14	VPCI_15	P	Питание PCIe PHY IO
425	U1	VPLLCORE_09	P	Питание PLL ядра
426	AD18	VPLLDDR_09	P	Питание PLL DDR
427	AD3	VPLLETH_09	P	Питание PLL ETH
428	AD17	VPLLPCIE_09	P	Питание PLL PCIe
429	D17	VPLLSATA_09	P	Питание PLL SATA
430	F17	VPVT_18	P	Питание для датчика PVT (1.8 В)
431	V7	VQPS	P	0 В или оставить в воздухе или 1.8 В +/- 10%
432	C20	VSATA_18	P	Питание SATA PHY
433	C17	VSATAP_09	P	Питание SATA PHY
434	C18	VSATATX_09	P	Питание SATA PHY
435	A23	VSS	G	Заземление VSSQ
436	AA3	VSS	G	Заземление ядра
437	AB12	VSS	G	Заземление ядра
438	AB14	VSS	G	Заземление ядра
439	AB15	VSS	G	Заземление ядра
440	AB17	VSS	G	Заземление ядра
441	AB19	VSS	G	Заземление VSSQ
442	AB20	VSS	G	Заземление VSSQ
443	AB21	VSS	G	Заземление VSSQ

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
444	AB5	VSS	G	Заземление XGbE
445	AB7	VSS	G	Заземление XGbE
446	AB9	VSS	G	Заземление XGbE
447	AD2	VSS	G	Заземление ядра
448	AD23	VSS	G	Заземление VSSQ
449	B1	VSS	G	Заземление ядра
450	B15	VSS	G	Заземление ядра
451	B8	VSS	G	Заземление ядра
452	C16	VSS	G	Заземление SATA (заземление PHY)
453	C21	VSS	G	Заземление VSSQ
454	E17	VSS	G	Заземление PCIe
455	E19	VSS	G	Заземление ядра
456	E2	VSS	G	Заземление ядра
457	F18	VSS	G	Заземление VSSQ
458	G23	VSS	G	Заземление VSSQ
459	H10	VSS	G	Заземление ядра
460	H11	VSS	G	Заземление ядра
461	H12	VSS	G	Заземление PCIe
462	H13	VSS	G	Заземление ядра
463	H14	VSS	G	Заземление PCIe
464	H15	VSS	G	Заземление PCIe
465	H16	VSS	G	Заземление ядра
466	H18	VSS	G	Заземление VSSQ
467	H8	VSS	G	Заземление ядра
468	H9	VSS	G	Заземление ядра
469	J23	VSS	G	Заземление VSSQ
470	K10	VSS	G	Заземление ядра
471	K11	VSS	G	Заземление ядра
472	K12	VSS	G	Заземление ядра
473	K13	VSS	G	Заземление ядра
474	K14	VSS	G	Заземление PCIe
475	K15	VSS	G	Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
476	K16	VSS	G	Заземление ядра
477	K20	VSS	G	Заземление VSSQ
478	K8	VSS	G	Заземление ядра
479	K9	VSS	G	Заземление ядра
480	L18	VSS	G	Заземление VSSQ
481	L23	VSS	G	Заземление VSSQ
482	M10	VSS	G	Заземление ядра
483	M11	VSS	G	Заземление ядра
484	M12	VSS	G	Заземление ядра
485	M13	VSS	G	Заземление ядра
486	M14	VSS	G	Заземление ядра
487	M15	VSS	G	Заземление ядра
488	M16	VSS	G	Заземление ядра
489	M2	VSS	G	Заземление ядра
490	M8	VSS	G	Заземление ядра
491	M9	VSS	G	Заземление ядра
492	N17	VSS	G	Заземление VSSQ
493	N20	VSS	G	Заземление VSSQ
494	N23	VSS	G	Заземление VSSQ
495	P10	VSS	G	Заземление ядра
496	P11	VSS	G	Заземление ядра
497	P12	VSS	G	Заземление ядра
498	P13	VSS	G	Заземление ядра
499	P14	VSS	G	Заземление ядра
500	P15	VSS	G	Заземление ядра
501	P16	VSS	G	Заземление ядра
502	P8	VSS	G	Заземление ядра
503	P9	VSS	G	Заземление ядра
504	R19	VSS	G	Заземление VSSQ
505	R23	VSS	G	Заземление VSSQ
506	T10	VSS	G	Заземление ядра
507	T11	VSS	G	Заземление ядра

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
508	T12	VSS	G	Заземление ядра
509	T13	VSS	G	Заземление ядра
510	T14	VSS	G	Заземление ядра
511	T15	VSS	G	Заземление ядра
512	T16	VSS	G	Заземление ядра
513	T8	VSS	G	Заземление ядра
514	T9	VSS	G	Заземление ядра
515	U19	VSS	G	Заземление VSSQ
516	U2	VSS	G	Заземление ядра
517	U22	VSS	G	Заземление VSSQ
518	V10	VSS	G	Заземление ядра
519	V11	VSS	G	Заземление ядра
520	V12	VSS	G	Заземление ядра
521	V13	VSS	G	Заземление ядра
522	V14	VSS	G	Заземление ядра
523	V15	VSS	G	Заземление ядра
524	V16	VSS	G	Заземление ядра
525	V8	VSS	G	Заземление ядра
526	V9	VSS	G	Заземление ядра
527	W14	VSS	G	Заземление ядра
528	W20	VSS	G	Заземление VSSQ
529	W23	VSS	G	Заземление VSSQ
530	W9	VSS	G	Заземление XGbE
531	Y11	VSS	G	Заземление XGbE
532	Y19	VSS	G	Заземление VSSQ
533	T2	VSSCORE_PLL	G	Заземление PLL
534	AC18	VSSDDR_PLL	G	Заземление PLL
535	AC2	VSSETH_PLL	G	Заземление PLL
536	AA4	VSSIO	G	Заземление группы IO
537	D10	VSSIO	G	Заземление группы IO
538	D12	VSSIO	G	Заземление группы IO
539	D4	VSSIO	G	Заземление группы IO

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
540	D6	VSSIO	G	Заземление группы IO
541	D7	VSSIO	G	Заземление группы IO
542	F4	VSSIO	G	Заземление группы IO
543	H4	VSSIO	G	Заземление группы IO
544	L4	VSSIO	G	Заземление группы IO
545	P4	VSSIO	G	Заземление группы IO
546	T4	VSSIO	G	Заземление группы IO
547	W17	VSSIO	G	Заземление группы IO
548	W4	VSSIO	G	Заземление группы IO
549	AC17	VSSPCIE_PLL	G	Заземление PLL
550	D16	VSSSATA_PLL	G	Заземление PLL
551	AB10	VXGB_09	P	Питание XGbE PHY
552	AB6	VXGB_09	P	Питание XGbE PHY
553	AB8	VXGB_09	P	Питание XGbE PHY
554	AA8	VXGB_15	P	Питание XGbE PHY IO
555	Y8	XG_AMON	O	Диагностический вывод PHY
556	W10	XG_DMON	O	Диагностический вывод PHY
557	W11	XG_DMONB	O	Диагностический вывод PHY
558	W8	XG_RBIAS	IO	Подключение опорного резистора
559	AD8	XG_REF_CLKN	I	Опорные тактовые импульсы (дифференциальная пара)
560	AC8	XG_REF_CLKP	I	Опорные тактовые импульсы (дифференциальная пара)
561	AD6	XG_RXM[0]	I	Данные, принимаемые по дифференциальной паре 0
562	AD7	XG_RXM[1]	I	Данные, принимаемые по дифференциальной паре 1
563	AD10	XG_RXM[2]	I	Данные, принимаемые по дифференциальной паре 2
564	AD9	XG_RXM[3]	I	Данные, принимаемые по дифференциальной паре 3
565	AC6	XG_RXP[0]	I	Данные, принимаемые по дифференциальной паре 0
566	AC7	XG_RXP[1]	I	Данные, принимаемые по дифференциальной паре 1

Таблица 5-1 Список выводов (продолжение)

№	Позиция	Название вывода	Тип	Описание
				паре 1
567	AC10	XG_RXP[2]	I	Данные, принимаемые по дифференциальной паре 2
568	AC9	XG_RXP[3]	I	Данные, принимаемые по дифференциальной паре 3
569	AA6	XG_TXM[0]	O	Данные, передаваемые по дифференциальной паре 0
570	AA7	XG_TXM[1]	O	Данные, передаваемые по дифференциальной паре 1
571	AA10	XG_TXM[2]	O	Данные, передаваемые по дифференциальной паре 2
572	AA9	XG_TXM[3]	O	Данные, передаваемые по дифференциальной паре 3
573	Y6	XG_TXP[0]	O	Данные, передаваемые по дифференциальной паре 0
574	Y7	XG_TXP[1]	O	Данные, передаваемые по дифференциальной паре 1
575	Y10	XG_TXP[2]	O	Данные, передаваемые по дифференциальной паре 2
576	Y9	XG_TXP[3]	O	Данные, передаваемые по дифференциальной паре 3

5.2.1 Питание и земля

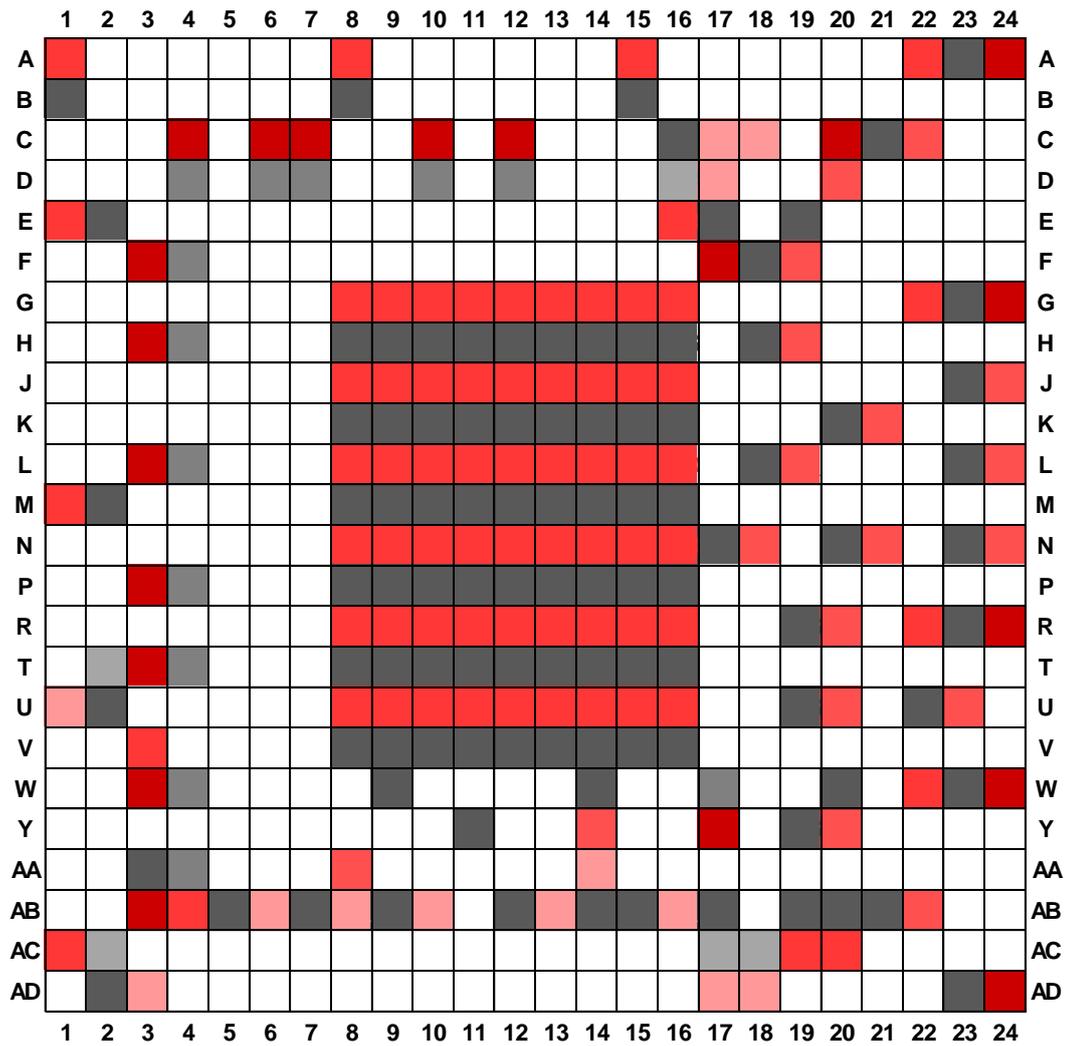


Рис. 5-2 Размещение контактов питания и земли

5.2.2 Высокоскоростные интерфейсы

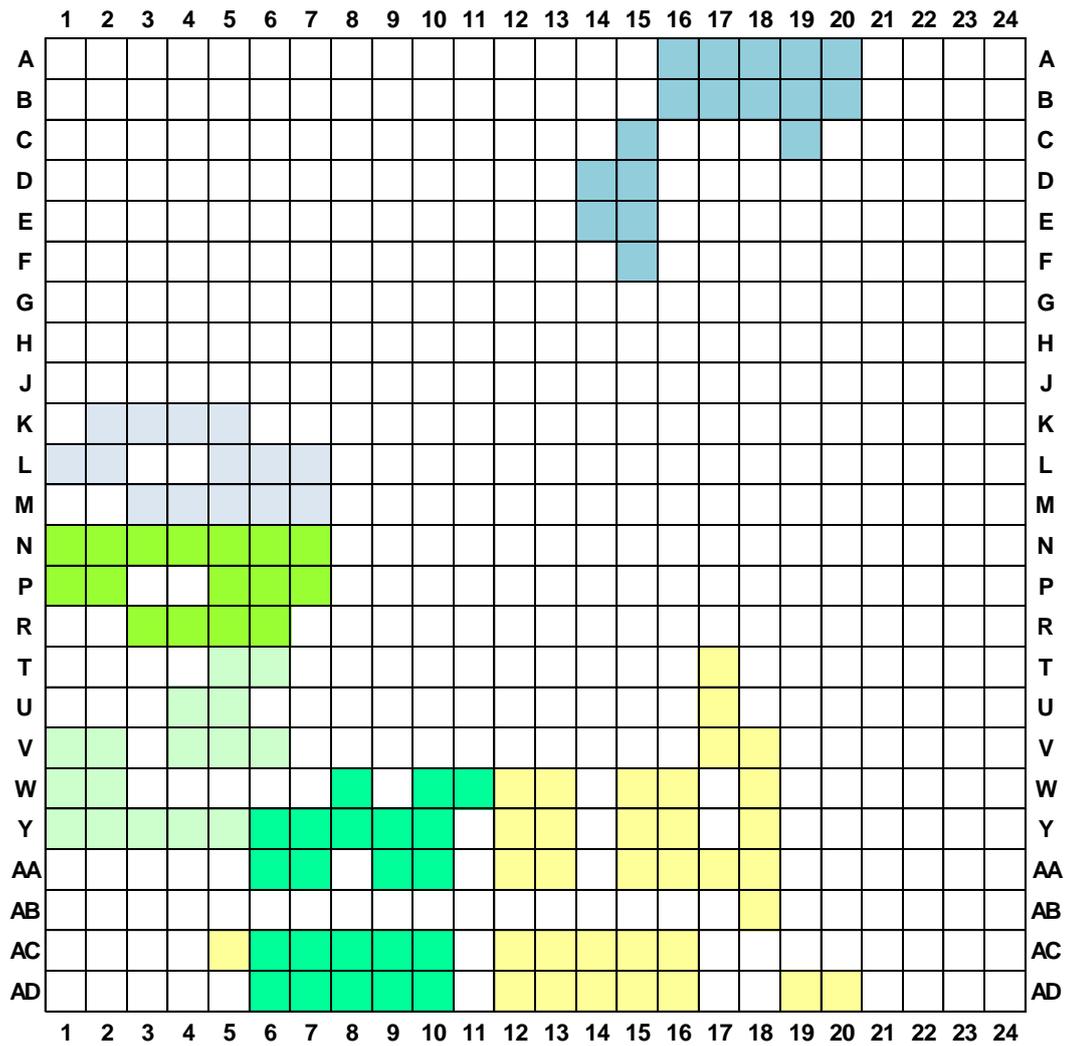
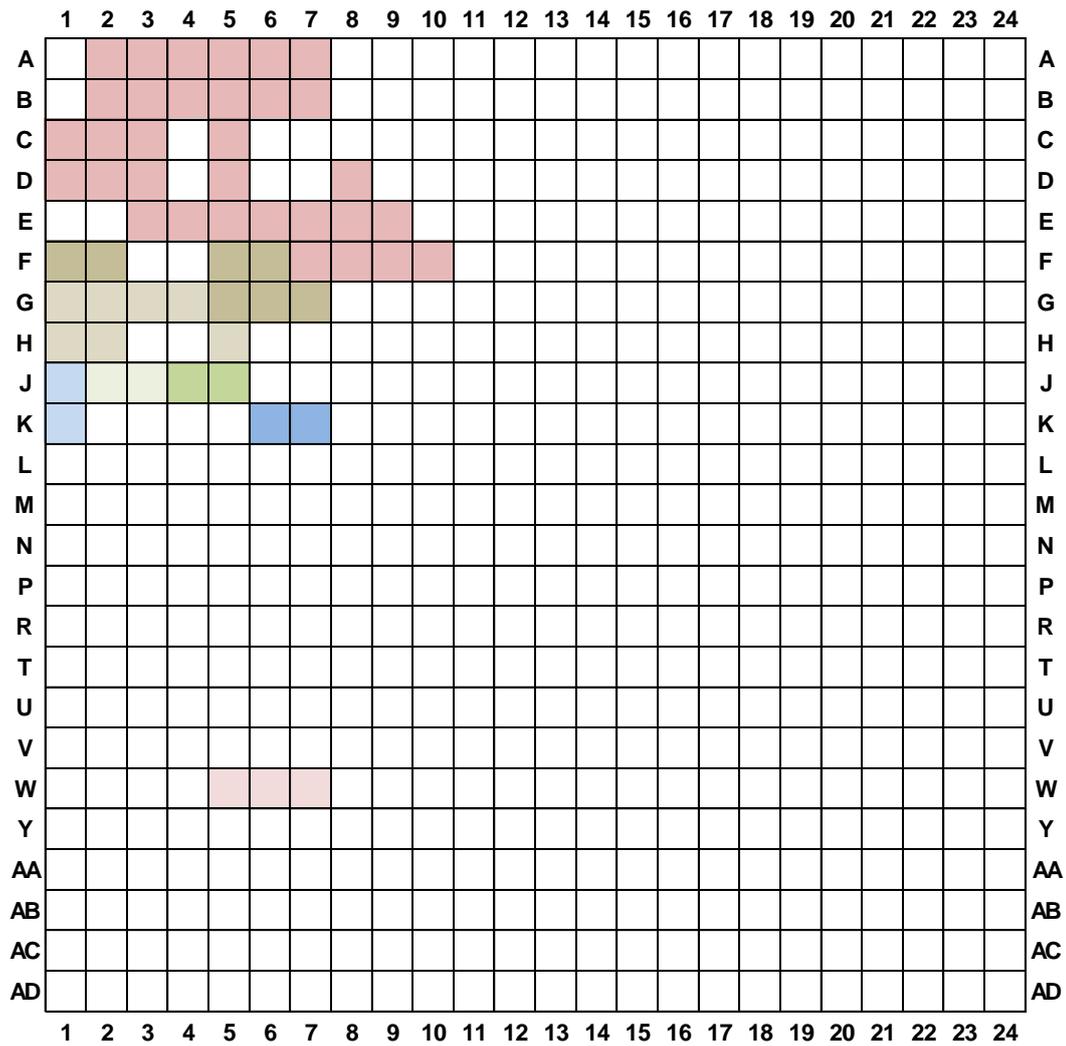


Рис. 5-3 Размещение контактов высокоскоростных каналов

5.2.3 Низкоскоростные интерфейсы



	GPIO*32
	GPIO*3
	I2C1
	I2C2
	SPI1
	SPI2
	UART0
	UART1

Рис. 5-4 Размещение контактов низкоскоростных интерфейсов

5.2.4 Выводы памяти

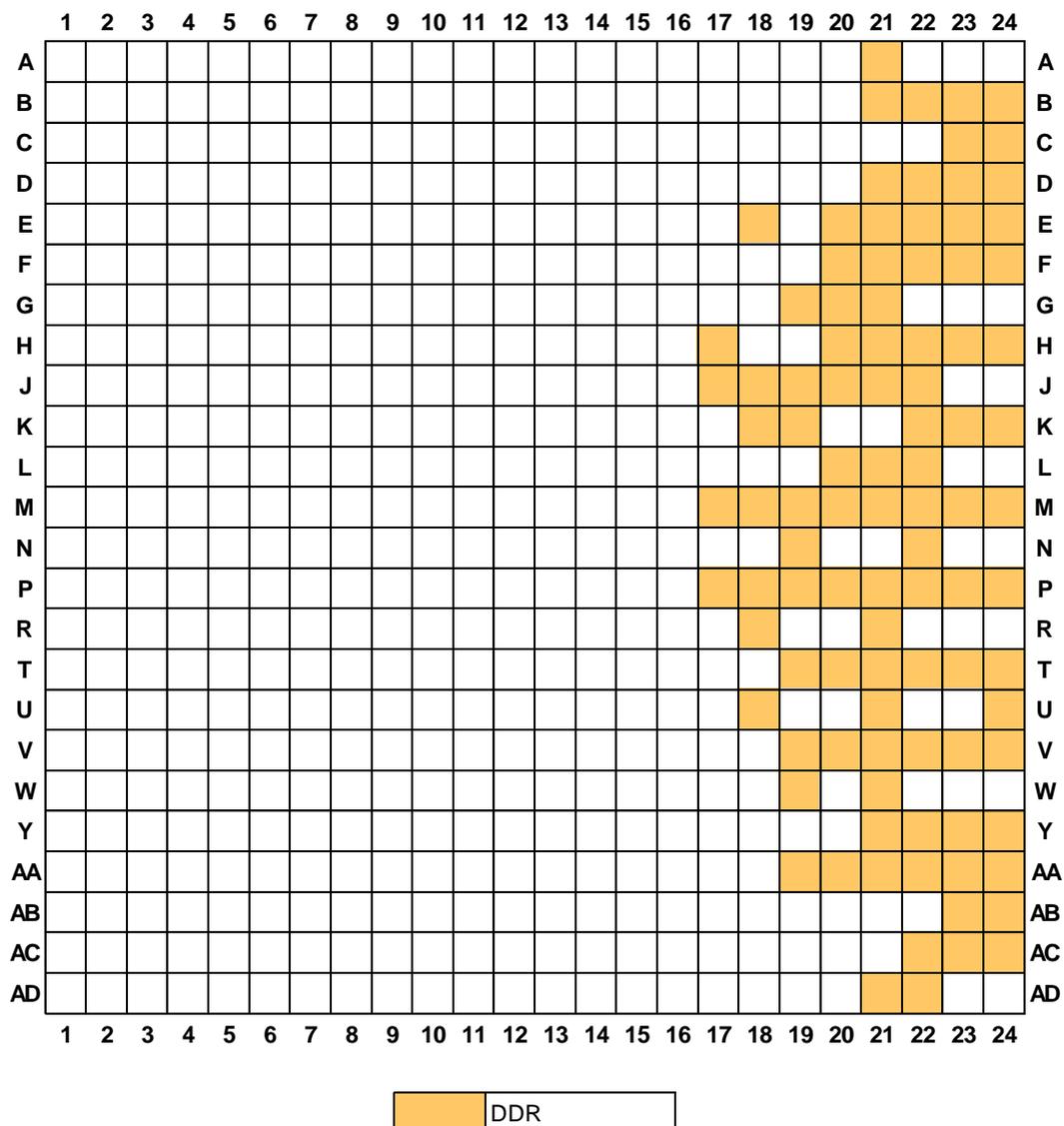


Рис. 5-5 Размещение контактов памяти

5.2.5 Управление системой и средства отладки

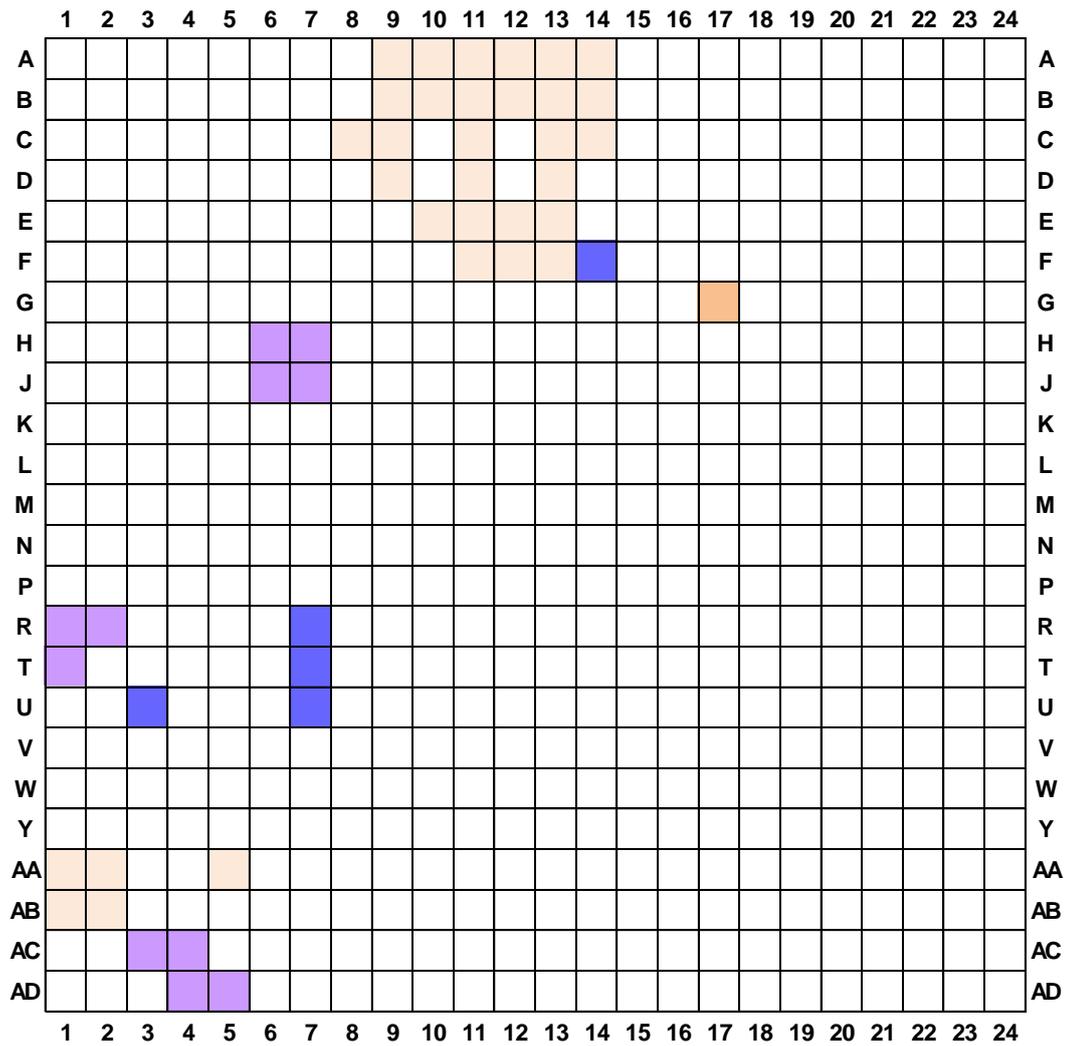


Рис. 5-6 Размещение контактов управления системой и средств отладки

6 Корпус

6.1 Информация о корпусе микросхемы

Основные параметры корпуса приведены в таблице.

Таблица 6-1 Основные параметры корпуса микропроцессора BE-T1000

Параметр	Значение
Размер корпуса	25×25 мм
Количество контактов	576
Шаг между контактами	1 мм
Диаметр контакта	0,6 ± 0,1 мм
Толщина (минимальная/номинальная/максимальная)	2,80 / 3,05 / 3,30 мм



WW.YYYY – дата сборки: номер недели, год

T1 K1925BM018 – типонаминал:

- до 2019 г. применялся типонаминал T1 K1925BM018;
- с 2019 г. применяется типонаминал BE-T1000, в соответствии с [7 Информация для заказа](#)

Рис. 6-1 Маркировка корпуса микросхемы

Схематический чертёж корпуса (без строгого соблюдения масштаба) приведён на рисунке.

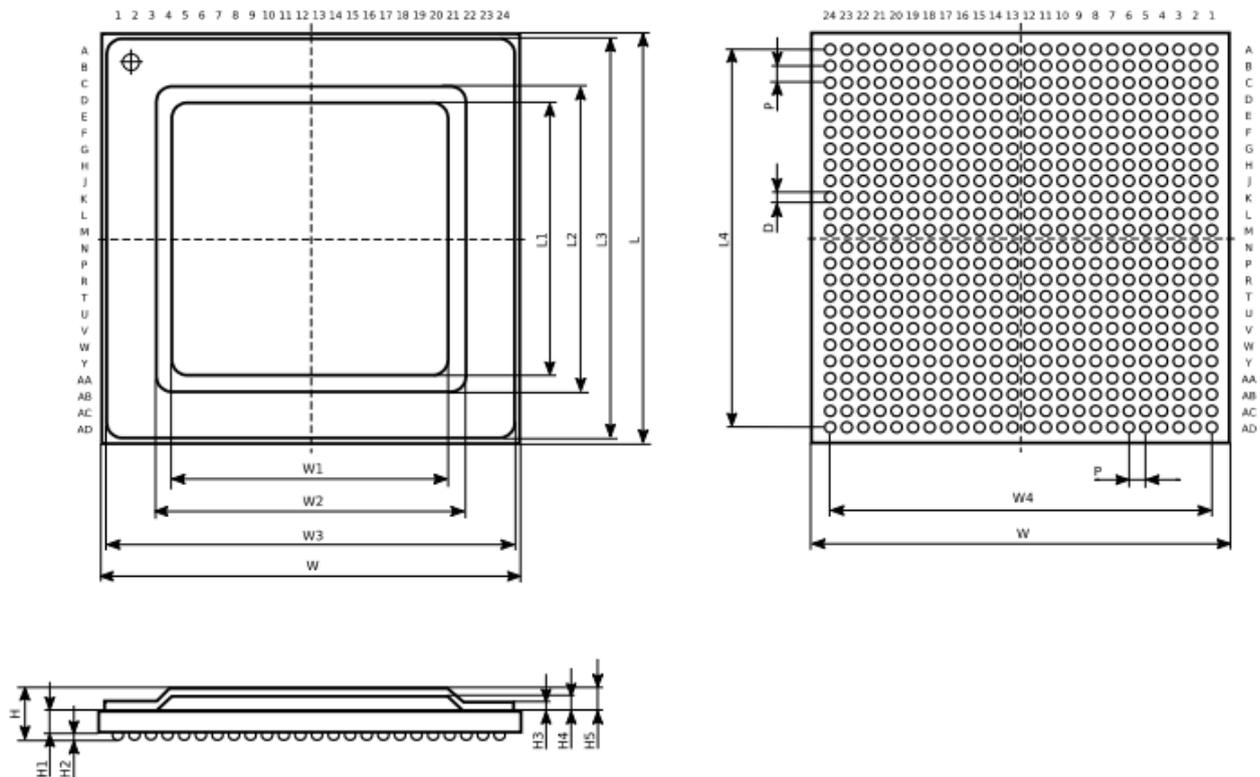


Рис. 6-2 Размеры корпуса микросхемы

Размеры, указанные на чертеже буквами, приведены в таблице.

Таблица 6-2 Размеры корпуса микросхемы

Обозн.	Размер (мм)	Примечание
L	25.0	Длина корпуса
L1	16.60±0.05	
L2	18.60	
L3	24.60±0.15	
L4	23.0	Расстояние между крайними контактами от центра до центра
W	25.0	Ширина корпуса
W1	16.60±0.05	
W2	18.60	
W3	24.60±0.15	
W4	23.0	
H	2.8-3.3	Толщина корпуса, включая контакты. Медианное значение – 3,05 мм

Таблица 6-2 Размеры корпуса микросхемы (продолжение)

Обозн.	Размер (мм)	Примечание
H1	1.15±0.15	Толщина подложки
H2	0.4–0.6	Высота контактов
H3	0.50±0.05	Толщина теплоотводящей крышки
H4	0.80±0.05	
H5	1.30±0.05	
D	0.6±0.1	Диаметр контактов
P	1.0	Шаг между контактами

6.2 Упаковка

Микропроцессоры поставляются в поддоне (англ. *tray*, палете) в количестве 44 штук. Схематический чертёж поддона приведён на рисунке:

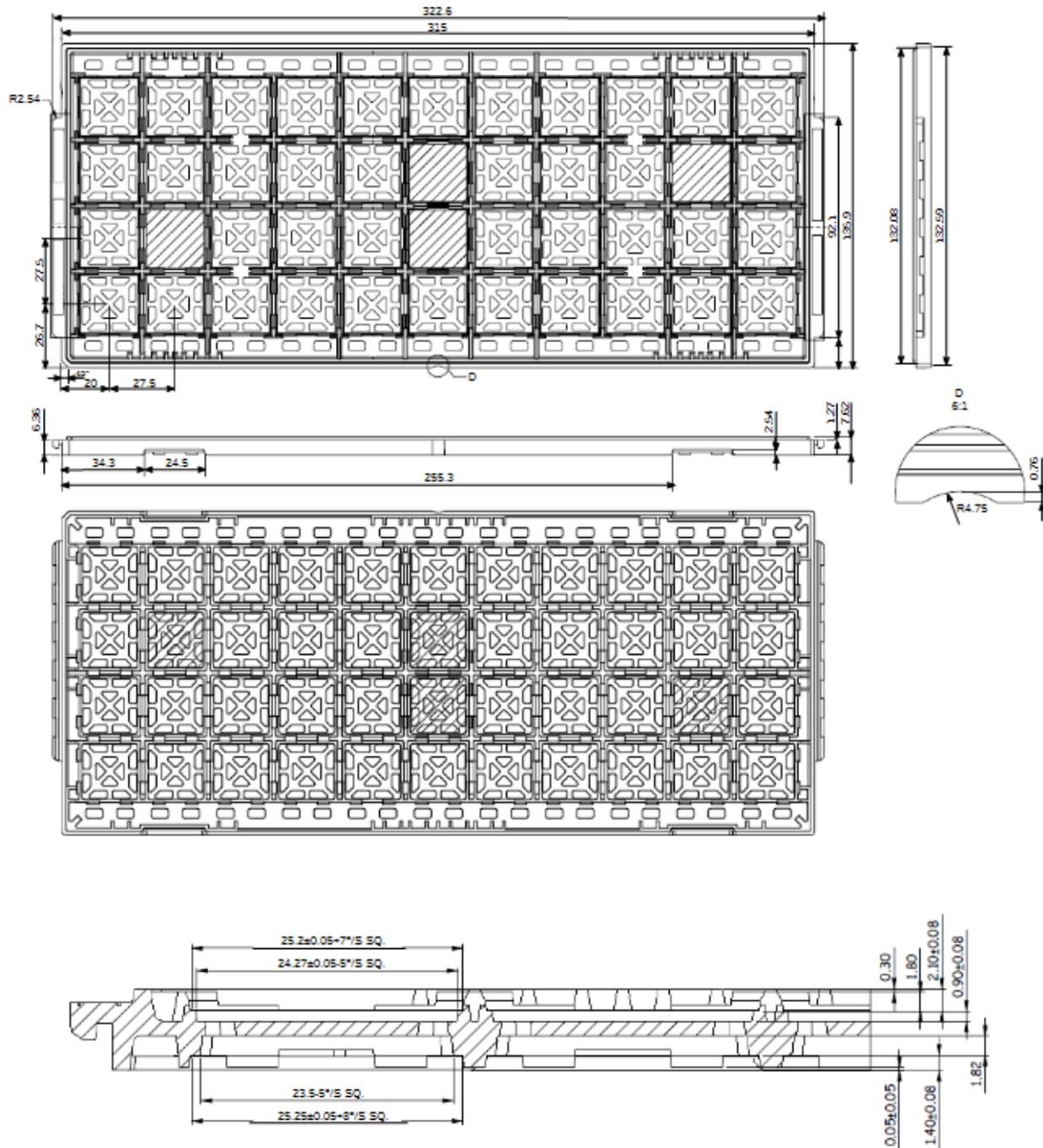


Рисунок 6-3 Схематический чертёж поддона для упаковки микросхемы

6.3 Профиль пайки

Рекомендованный температурный профиль для пайки микросхемы BE-T1000 приведён в таблице 6. Соответствующий график представлен на рисунке 10.

Таблица 6-3 Рекомендованный профиль пайки для микросхемы BE-T1000

Температура	Время
От комнатной температуры до 140°C	60–90 с
От 140°C до 180°C	60–120 с
При температуре выше 183°C	60–150 с
Пиковая температура	220°C ± 5°C
Время в пределах 5°C от пиковой температуры	10–20 с
Скорость охлаждения	Не быстрее 6°C/с

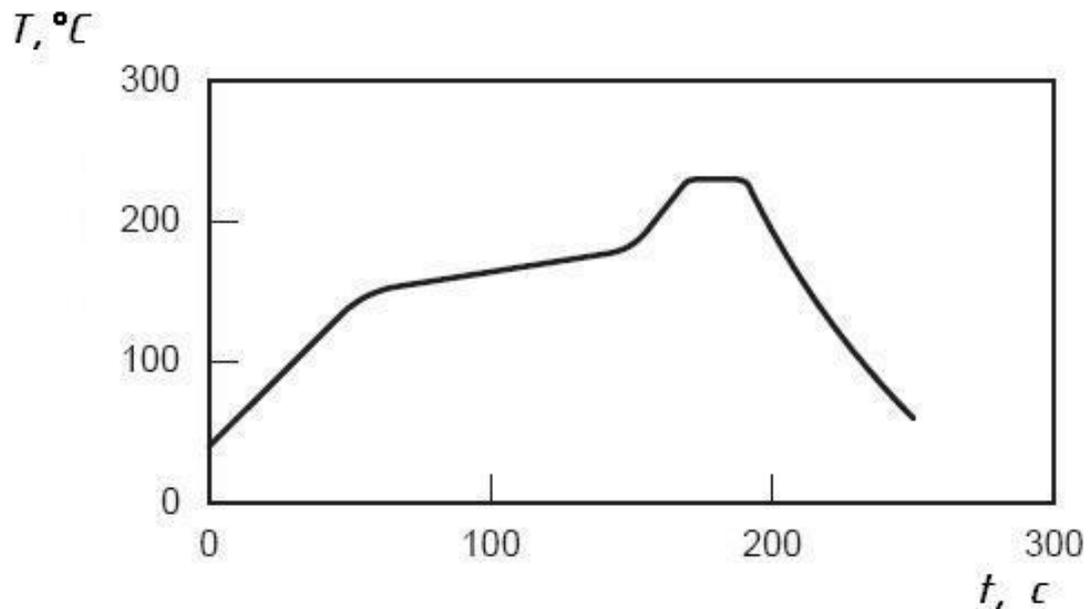


Рисунок 6-4 Профиль пайки

7 Информация для заказа

Для заказа BE-T1000 следует указать типономинал микросхемы. В таблице показаны назначения полей типономинала.

Таблица 7-1 Структура полей типономинала микросхемы

BE	-	T	1	0	0	0
Baikal Electronics	Разделитель полей	Продуктовая линейка	Поколение	Модификация	Резервное поле	Тип корпуса

BE-T1000 – первый продукт в линейке BE-T.

Для заказа BE-T1000 обращайтесь в компанию Baikal Electronics. Контактная информация указана на следующей странице.

Контактная информация

Байкал Электроникс: <https://www.baikalelectronics.com/>

Офис: <https://www.baikalelectronics.com/contacts/>

Эл. почта: info@baikalelectronics.ru

Тел.: [+7 495 221-39-47](tel:+74952213947)

История изменений

Версия	Дата	Описание
1.0	18.05.20	Идентична публичному релизу версии 1.0 от 10.12.2015 на английском языке.
2.0	17.08.16	Обновлены домены питания и описание выводов, габаритный чертёж корпуса. Добавлена последовательность запуска и сброса микропроцессора.
2.1	16.09.16	Добавлены разделы 6.3 Упаковка и 6.4 Профиль пайки в соответствии с релизом 2.0 от 12.09.2016 на английском языке
2.2	07.02.17	Обновлены рабочая частота и напряжения доменов питания
2.3	11.10.18	Обновлен раздел 6.2 – добавлен чертеж крышки корпуса
2.5	12.04.2019	Скорректировано: - наименование микропроцессора и документа, - блок-схема, - элементы оформления, - удалены сведения о тестовом проекте ТС1 - добавлена информация для заказа
2.60	05.06.2019	Обновлена глава 5 “Выводы микропроцессора”
3.03	02.07.2019	Корректировка терминологии и форматирования
3.04	17.12.2019	Обновлен раздел 4 – добавлена информация о корректном сбросе EJTAG TAP контроллера В разделе 5 список выводов переведен на русский язык
3.05	18.12.2019	Обновлен раздел 4.2 – откорректирована информация о процедуре сброса микропроцессора
3.06	18.05.2020	Правки в оформлении документа